

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-351995

(43)Date of publication of application : 21.12.2001

(51)Int.Cl.

H01L 21/8247
H01L 27/115
H01L 27/04
H01L 21/822
H01L 21/8234
H01L 27/088
H01L 27/08
H01L 27/10
H01L 29/788
H01L 29/792
H01L 29/786
H01L 21/336

(21)Application number : 2000-171793

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 08.06.2000

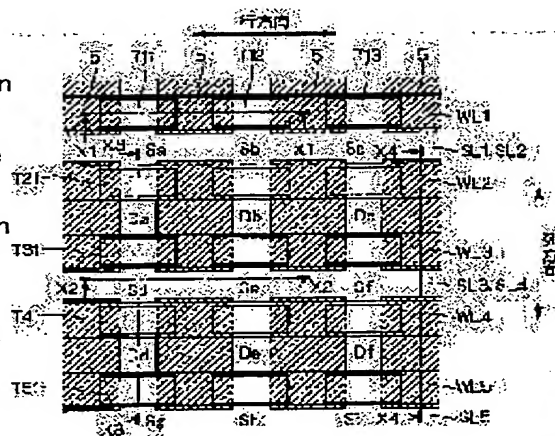
(72)Inventor : MAEDA SHIGENOBU
KUNIKIYO TATSUYA
MATSUMOTO TAKUJI

(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile semiconductor memory device which does not malfunction caused by a parasitic bipolar transistor.

SOLUTION: All source regions, belonging to the same column, are connected electrically to each other via a silicon layer 4, at the portion between the bottom surface of a partially separating device isolating insulating film 5 and the top surface of a BOX layer 3 to form belt-like source lines SL1 to SL5, extending in the columnar direction. The device isolating insulating film 5 between source regions, neighboring in the direction of the column (for example, source region Sa and source region Sb), is removed and an impurity introducing region 10 having equal conductivity as that of the source region is formed in the silicon layer 4 exposed by removing the device isolating insulating film 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The SOI substrate with which the laminating of a semi-conductor substrate, an insulating layer, and the semi-conductor layer was carried out to this order, The source field and drain field which estranged mutually, respectively and were formed in the principal plane of said semi-conductor layer, The 1st gate electrode formed through the insulator layer on the body field of the part pinched by said source field and said drain field, And it sets in two or more memory cell transistors which have the 2nd gate electrode formed through the insulator layer on said 1st gate electrode and which have been arranged in the shape of a matrix, and said principal plane of said semi-conductor layer. The isolation insulator layer which was formed among said memory cell transistors which adjoin mutually a line writing direction perpendicular to the direction in which said source field and said drain field of said memory cell transistor are located in a line and which has the base which does not reach said insulating layer, The non-volatile semiconductor memory with which said memory cell transistor which adjoins said line writing direction mutually in said semi-conductor layer is formed among said source fields which it has, respectively, and is equipped with said source field and the impurity installation field of the same conductivity type.

[Claim 2] The depletion layer produced in the pn junction section of said source field or said source field, and said semi-conductor layer is a non-volatile semiconductor memory according to claim 1 which does not reach said insulating layer.

[Claim 3] The depletion layer produced in the pn junction section of said drain field or said drain field, and said semi-conductor layer is a non-volatile semiconductor memory according to claim 2 which does not reach said insulating layer.

[Claim 4] The depletion layer produced in the pn junction section of said drain field or said drain field, and said semi-conductor layer is a non-volatile semiconductor memory according to claim 2 which reaches said insulating layer.

[Claim 5] The depletion layer produced, respectively in the pn junction section of said source field and said drain field or said source field and said drain field, and said semi-conductor layer All reach said insulating layer. Said non-volatile semiconductor memory The word line to which said two or more memory cell transistors belonging to the same line were connected in common with said 2nd gate electrode which it has, respectively, The body line by which said two or more memory cell transistors belonging to the same line connect said body field which it has, respectively, The non-volatile semiconductor memory according to claim 1 which is connected to said word line and is further equipped with the 1st drive circuit which supplies the 1st driving signal to said word line, and the 2nd drive circuit which is connected to said body line and supplies the 2nd driving signal to said body line.

[Claim 6] Said 1st and 2nd drive circuits are non-volatile semiconductor memories according to claim 5 which sandwich the memory cell array section by which two or more memory cells which contain said memory cell transistor, respectively have been arranged, and are arranged in the opposite side.

[Claim 7] The SOI substrate with which the laminating of a semi-conductor substrate, an insulating layer, and the semi-conductor layer was carried out to this order, The source field and drain field which estranged mutually, respectively and were formed in the principal plane of said semi-conductor layer,

The 1st gate electrode formed through the insulator layer on the body field of the part pinched by said source field and said drain field, And it sets in two or more memory cell transistors which have the control gate formed through the insulator layer on said 1st gate electrode and which have been arranged in the shape of a matrix, and said principal plane of said semi-conductor layer. It is formed among said memory cell transistors which adjoin mutually a line writing direction perpendicular to the direction in which said source field and said drain field of said memory cell transistor are located in a line. The depletion layer which is equipped with the isolation insulator layer which has the base which does not reach said insulating layer, and is produced in the pn junction section of said source field or said source field, and said semi-conductor layer The depletion layer which does not reach said insulating layer but is produced in the pn junction section of said drain field or said drain field, and said semi-conductor layer is a non-volatile semiconductor memory characterized by reaching said insulating layer.

[Claim 8] The SOI substrate with which the laminating of a semi-conductor substrate, an insulating layer, and the semi-conductor layer was carried out to this order, The source field and drain field which estranged mutually, respectively and were formed in the principal plane of said semi-conductor layer, The 1st gate electrode formed through the insulator layer on the body field of the part pinched by said source field and said drain field, And it sets in two or more memory cell transistors which have the 2nd gate electrode formed through the insulator layer on said 1st gate electrode and which have been arranged in the shape of a matrix, and the principal plane of said semi-conductor layer. The isolation insulator layer which has the base which is formed among said memory cell transistors which adjoin mutually a line writing direction perpendicular to the direction in which said source field and said drain field of said memory cell transistor are located in a line, and does not reach said insulating layer, The word line to which said two or more memory cell transistors belonging to the same line were connected in common with said 2nd gate electrode which it has, respectively, The body line by which said two or more memory cell transistors belonging to the same line connect said body field which it has, respectively, The 1st drive circuit which is connected to said word line and supplies the 1st driving signal to said word line, Connect with said body line and it has the 2nd drive circuit which supplies the 2nd driving signal to said body line. Each depletion layer produced, respectively in the pn junction section of said source field and said drain field or said source field and said drain field, and said semi-conductor layer is a non-volatile semiconductor memory which reaches said insulating layer.

[Claim 9] Said 1st and 2nd drive circuits are non-volatile semiconductor memories according to claim 8 which sandwich the memory cell array section by which two or more memory cells which contain said memory cell transistor, respectively have been arranged, and are arranged in the opposite side.

[Claim 10] As opposed to said body line by which said 2nd drive circuit was chosen at the time of read-out of data Claims 5, 6, and 8, the non-volatile semiconductor memory of any one publication of nine which supply the 1st potential as said 2nd driving signal, and supply touch-down potential or said 1st potential, and the 2nd potential of reversed polarity as said 2nd driving signal to said non-choosing body line.

[Claim 11] Said 2nd drive circuit is claims 5 and 6 and the non-volatile semiconductor memory of any one publication of 8-10 with which said 1st drive circuit precedes supplying said 1st driving signal to said word line, and supplies said 2nd driving signal to said body line.

[Claim 12] The non-volatile semiconductor memory of any one publication of claim 7-11 with which said memory cell transistor which adjoins said line writing direction mutually in said semi-conductor layer is formed among said source fields which it has, respectively, and is further equipped with the impurity installation field of the same conductivity type as said source field.

[Claim 13] The SOI substrate with which the laminating of a semi-conductor substrate, an insulating layer, and the semi-conductor layer was carried out to this order, Two or more memory cell transistors formed in the memory cell array section of said SOI substrate, It is formed in the low-battery section of said SOI substrate, and has two or more low-battery transistors driven on an electrical potential difference lower than the driver voltage of said memory cell transistor. Said memory cell transistor and

said low-battery transistor It has the source field and drain field which estranged mutually and were formed in said semi-conductor layer, respectively. The depletion layer produced in the pn junction section of the said source field or said source field, and said semi-conductor layer of said memory cell transistor The depletion layer which does not reach said insulating layer but is produced, respectively in the pn junction section of the said source field and said drain field or said source field and said drain field, and said semi-conductor layer of said low-battery transistor is a semiconductor integrated circuit which reaches said insulating layer.

[Claim 14] The depth from the principal plane of said semi-conductor layer to the base of said source field of said low-battery transistor and said drain field is a semiconductor integrated circuit [deeper than the depth from said principal plane of said semi-conductor layer to the base of said source field of said memory cell transistor] according to claim 13.

[Claim 15] The thickness of said semi-conductor layer in said low-battery section is a semiconductor integrated circuit [thinner than the thickness of said semi-conductor layer in said memory cell array section] according to claim 13.

[Claim 16] The semiconductor integrated circuit of any one publication of claim 13-15 with which it is formed in said semi-conductor layer at the boundary part of said memory cell array section and said low-battery section, and a base is further equipped with the isolation insulator layer which reaches said insulating layer.

[Claim 17] It is the semiconductor integrated circuit which is equipped with the substrate which has the memory cell array section in which two or more memory cell transistors were formed, the low-battery section in which two or more low-battery transistors driven on an electrical potential difference lower than said memory cell transistor were formed, and the high-voltage section in which two or more high-voltage transistors driven on an electrical potential difference higher than said low-battery transistor were formed, and is characterized by to arrange said high-voltage section and said low-battery section on both sides of said memory cell array section.

[Claim 18] The RF circuit section in which said low-battery section is divided into two or more circuit blocks, and the RF circuit was formed is a semiconductor integrated circuit according to claim 17 prepared in said circuit block arranged in the most distant part from said high-voltage section.

[Claim 19] Said substrate is a SOI substrate with which the laminating of a semi-conductor substrate, an insulating layer, and the semi-conductor layer was carried out to this order. Said semiconductor integrated circuit The 1st isolation insulator layer which was formed in said semi-conductor layer at each boundary part of said memory cell array section, said low-battery section, and said high-voltage section and which has the base which reaches said insulating layer, The semiconductor integrated circuit according to claim 18 which is formed in said semi-conductor layer at the boundary part of said RF circuit section and other fields, has the base which reaches said insulating layer, and is further equipped with the 2nd isolation insulator layer broader than said 1st isolation insulator layer.

[Claim 20] Said substrate is a SOI substrate with which the laminating of a semi-conductor substrate, an insulating layer, and the semi-conductor layer was carried out to this order. Said semiconductor integrated circuit [in the 1st isolation insulator layer which was formed among said memory cell transistors which adjoin mutually in the principal plane of said semi-conductor layer and which has the base which does not reach said insulating layer, and said principal plane of said semi-conductor layer] It is formed among said low-battery transistors which adjoin mutually, and has further the 2nd isolation insulator layer which has the base which does not reach said insulating layer. The depth from said principal plane of said semi-conductor layer to said base of said 1st isolation insulator layer is a semiconductor integrated circuit according to claim 17 characterized by being deeper than the depth from said principal plane of said semi-conductor layer to said base of said 2nd isolation insulator layer.

[Claim 21] Said substrate is a SOI substrate with which the laminating of a semi-conductor substrate, an insulating layer, and the semi-conductor layer was carried out to this order. Said semiconductor integrated circuit [in the 1st isolation insulator layer in which it was formed among said memory cell

transistors which adjoin mutually in the principal plane of said semi-conductor layer, and the base was adjoined and the 1st channel cut layer was formed, and said principal plane of said semi-conductor layer] It has further the 2nd isolation insulator layer in which it was formed among said low-battery transistors which adjoin mutually, and the base was adjoined and the 2nd channel cut layer was formed. The high impurity concentration of said 1st channel cut layer is a semiconductor integrated circuit according to claim 17 characterized by being higher than the high impurity concentration of said 2nd channel cut layer.

[Claim 22] The threshold electrical potential difference of said memory cell transistor is a semiconductor integrated circuit according to claim 17 characterized by being higher than the threshold electrical potential difference of said low-battery transistor.

[Claim 23] The memory cell array section in which the laminating of a semi-conductor substrate, an insulating layer, and the semi-conductor layer was carried out to this order, and two or more memory cell transistors were formed, The low-battery section in which two or more low-battery transistors driven on an electrical potential difference lower than said memory cell transistor were formed, [in the SOI substrate which has the high-voltage section in which two or more high-voltage transistors driven on an electrical potential difference higher than said low-battery transistor were formed, and said semi-conductor layer] The semiconductor integrated circuit which was formed in each boundary part of said memory cell array section, said low-battery section, and said high-voltage section and with which a base is equipped with the 1st isolation insulator layer which reaches said insulating layer.

[Claim 24] Said high-voltage section is a semiconductor integrated circuit according to claim 23 which said semiconductor integrated circuit is formed in said semi-conductor layer in said part, has the base which reaches said insulating layer, and is further equipped with the 2nd isolation insulator layer broader than said 1st isolation insulator layer by having in a part the part which adjoins said low-battery section.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the structure of a non-volatile semiconductor memory, and the structure of the flash memory using the SOI (Silicon On Insulator) substrate especially. Moreover, this invention relates to the structure of semiconductor integrated circuits, such as LSI, where the above-mentioned non-volatile semiconductor memory was formed.

[0002]

[Description of the Prior Art] Drawing 46 is the sectional view showing typically the structure of a memory cell transistor of the flash memory which used the bulk substrate (the usual semi-conductor substrate which is not a SOI substrate is meant). In the top face of a silicon substrate 101, 102s of

source fields and 102d of drain fields which accomplish a pair estrange mutually, and are formed. On the top face of the silicon substrate 101 of the part 102d's [102s of source fields and] of drain fields pinched, the laminated structure by which the laminating of gate oxide 103, the floating gate 104, an insulator layer 105, and the control gate 106 was carried out to this order is formed, and the sidewall 107 which consists of an insulator layer is formed in the side face of this laminated structure.

[0003] In write-in actuation of data, it is in the condition which impressed touch-down potential, for example to 102s of source fields, and the high voltage is impressed to 102d of drain fields, and the control gate 106. Thereby, the hot electron generated in the high electric-field field near a channel field and the 102d of the drain fields is poured in into the floating gate 104.

[0004] Drawing 47 is the sectional view showing typically the structure of a memory cell transistor of the flash memory which used the SOI substrate. The SOI substrate 108 has accomplished the laminated structure by which the laminating of a silicon substrate 109, the BOX (Buried OXide) layer 110, and the silicon layer 111 was carried out to this order. In the silicon layer 111, the isolation insulator layer 112 of a perfect discrete type which arrives at the top face of the BOX layer 110 from the top face of the silicon layer 111 is formed alternatively. In the component formation field specified by the isolation insulator layer 112, 102s of source fields and 102d of drain fields which accomplish a pair estrange mutually, and are formed. The base of 102s of source fields and 102d of drain fields has arrived at the top face of the BOX layer 110.

[0005] Moreover, on the top face of the silicon layer 111 of the part a body field's, i.e., 102s of source fields and 102d of drain fields, pinched, the laminated structure by which the laminating of gate oxide 103, the floating gate 104, an insulator layer 105, and the control gate 106 was carried out to this order is formed, and the sidewall 107 which consists of an insulator layer is formed in the side face of this laminated structure.

[0006] Drawing 48 is the circuit diagram extracting and showing a part of configuration of the memory cell array of a flash memory. Drawing 4848 shows only the configuration of a total of 15 memory cells for five line x3 train. Each memory cell is equipped with the memory cell transistor shown in drawing 47, respectively. About the memory cell belonging to the same line, the control gate CG of each memory cell transistor is connected to the common word line. For example, the control gate CG of each memory cell transistor with which memory cells MC11-MC13 are equipped is connected to the word line WL101 in common.

[0007] Moreover, the source S of each memory cell transistor is connected to the common source line about the memory cell belonging to the same line. For example, the source S of each memory cell transistor with which memory cells MC11-MC13 are equipped is connected to the source line SL 101 in common. Moreover, the source lines SL101-SL105 of each line are connected to the common source line SL 100.

[0008] Moreover, about the memory cell belonging to the same train, the drain D of each memory cell transistor is connected to the common bit line. For example, the drain D of each memory cell transistor with which memory cells MC11-MC51 are equipped is connected to the bit line BL101 in common.

[0009] Drawing 49 is a plan which has the configuration of a memory cell array shown in drawing 48 and in which showing the structure of the conventional non-volatile semiconductor memory. However, drawing 49 shows typically the arrangement relation of the floating gate, a word line (it serves as the control gate), a source line, and an isolation insulator layer. For example, the floating gate 411,412,421 shown in drawing 49 is equivalent to each floating gate FG of the memory cell transistor with which the memory cells MC11, MC12, and MC21 shown in drawing 48 are equipped, respectively.

[0010] Moreover, for example, the source field Sa shown in drawing 49 corresponds to each source S of the memory cell transistor with which the memory cells MC11 and MC21 shown in drawing 48 are equipped, respectively, and the source field Sd shown in drawing 49 corresponds to each source S of the memory cell transistor with which the memory cells MC31 and MC41 shown in drawing 48 are equipped, respectively.

[0011] Moreover, for example, the drain field Da shown in drawing 49 corresponds to each drain D of the memory cell transistor with which the memory cells MC21 and MC31 shown in drawing 48 are equipped, respectively, and the drain field Dd shown in drawing 49 corresponds to each drain D of the memory cell transistor with which the memory cells MC41 and MC51 shown in drawing 48 are equipped, respectively.

[0012] In the source lines SL103 and SL104, with reference to drawing 49, the source line SL 105 contains [the source lines SL101 and SL102] source field Sg-Si including source field Sd-Sf including source field Sa-Sc. The source lines SL101-SL105 are formed by establishing the field in which the isolation insulator layer 112 is not formed in each spacing.

[0013] Drawing 50 is the sectional view showing the cross-section structure in the location in alignment with the segment X100 shown in drawing 49. The source field Sa and the source field Sb are mutually separated by the isolation insulator layer 112 of a perfect discrete type.

[0014]

[Problem(s) to be Solved by the Invention] However, there were the following problems in such a conventional non-volatile semiconductor memory. This problem is explained with reference to drawing 47. As above-mentioned, in write-in actuation of data, it is in the condition which impressed touch-down potential to 102s of source fields, and the high voltage is impressed to 102d of drain fields, and the control gate 106. At this time, many electronic-electron hole pairs occur near a channel field and the 102d of the drain fields according to a collision ionization phenomenon.

[0015] In the conventional non-volatile semiconductor memory using a SOI substrate, since a body field is in a floating condition electrically, an electron hole is accumulated into a body field. Therefore, when body potential rises, the parasitism bipolar transistor which consists of 102s of source fields, 102d of drain fields, and a body field drives, consequently a parasitism bipolar current flows toward 102d of drain fields from 102s of source fields, and malfunction arises. Thus, according to the conventional non-volatile semiconductor memory, it originated in a body field being in a floating condition electrically, and the parasitism bipolar transistor drove by accumulating an electron hole into a body field, and there was a problem that malfunction arose.

[0016] This invention sets it as the main purposes to obtain the non-volatile semiconductor memory which malfunction resulting from the drive of a parasitism bipolar transistor does not produce by accomplishing in order to solve this problem, and avoiding that an electron hole is accumulated into a body field.

[0017]

[Means for Solving the Problem] Among this invention, a non-volatile semiconductor memory according to claim 1 The SOI substrate with which the laminating of a semi-conductor substrate, an insulating layer, and the semi-conductor layer was carried out to this order, The source field and drain field which estranged mutually, respectively and were formed in the principal plane of a semi-conductor layer, The 1st gate electrode formed through the insulator layer on the body field of the part pinched by a source field and the drain field, And it sets in two or more memory cell transistors which have the 2nd gate electrode formed through the insulator layer on the 1st gate electrode and which have been arranged in the shape of a matrix, and the principal plane of a semi-conductor layer. [the isolation insulator layer which was formed among the memory cell transistors which adjoin mutually a line writing direction perpendicular to the direction in which the source field and drain field of a memory cell transistor are located in a line and which has the base which does not reach an insulating layer, and in a semi-conductor layer] The memory cell transistor which adjoins a line writing direction mutually is formed among the source fields which it has, respectively, and is equipped with a source field and the impurity installation field of the same conductivity type.

[0018] Moreover, a non-volatile semiconductor memory according to claim 2 is a non-volatile semiconductor memory according to claim 1 among this invention, and the depletion layer produced in the pn junction section of a source field or a source field, and a semi-conductor layer is characterized

by not reaching an insulating layer.

[0019] Moreover, a non-volatile semiconductor memory according to claim 3 is a non-volatile semiconductor memory according to claim 2 among this invention, and the depletion layer produced in the pn junction section of a drain field or a drain field, and a semi-conductor layer is characterized by not reaching an insulating layer.

[0020] Moreover, a non-volatile semiconductor memory according to claim 4 is a non-volatile semiconductor memory according to claim 2 among this invention, and the depletion layer produced in the pn junction section of a drain field or a drain field, and a semi-conductor layer is characterized by reaching an insulating layer.

[0021] Among this invention, moreover, a non-volatile semiconductor memory according to claim 5 The depletion layer which is a non-volatile semiconductor memory according to claim 1, and is produced, respectively in the pn junction section of a source field and a drain field or a source field and a drain field, and a semi-conductor layer All reach an insulating layer. A non-volatile semiconductor memory The word line to which two or more memory cell transistors belonging to the same line were connected in common with the 2nd gate electrode which it has, respectively, The body line by which two or more memory cell transistors belonging to the same line connect the body field which it has, respectively, It is characterized by having further the 1st drive circuit which is connected to a word line and supplies the 1st driving signal to a word line, and the 2nd drive circuit which is connected to a body line and supplies the 2nd driving signal to a body line.

[0022] Moreover, a non-volatile semiconductor memory according to claim 6 is a non-volatile semiconductor memory according to claim 5 among this invention, and the 1st and 2nd drive circuits are characterized by inserting the memory cell array section by which two or more memory cells which contain a memory cell transistor, respectively have been arranged, and being arranged mutually in the opposite side.

[0023] Among this invention, moreover, a non-volatile semiconductor memory according to claim 7 The SOI substrate with which the laminating of a semi-conductor substrate, an insulating layer, and the semi-conductor layer was carried out to this order, The source field and drain field which estranged mutually, respectively and were formed in the principal plane of a semi-conductor layer, The 1st gate electrode formed through the insulator layer on the body field of the part pinched by a source field and the drain field, And it sets in two or more memory cell transistors which have the control gate formed through the insulator layer on the 1st gate electrode and which have been arranged in the shape of a matrix, and the principal plane of a semi-conductor layer. It is formed among the memory cell transistors which adjoin mutually a line writing direction perpendicular to the direction in which the source field and drain field of a memory cell transistor are located in a line. The depletion layer which is equipped with the isolation insulator layer which has the base which does not reach an insulating layer, and is produced in the pn junction section of a source field or a source field, and a semi-conductor layer The depletion layer which does not reach an insulating layer but is produced in the pn junction section of a drain field or a drain field, and a semi-conductor layer is characterized by reaching an insulating layer.

[0024] Among this invention, moreover, a non-volatile semiconductor memory according to claim 8 The SOI substrate with which the laminating of a semi-conductor substrate, an insulating layer, and the semi-conductor layer was carried out to this order, The source field and drain field which estranged mutually, respectively and were formed in the principal plane of a semi-conductor layer, The 1st gate electrode formed through the insulator layer on the body field of the part pinched by a source field and the drain field, And it sets in two or more memory cell transistors which have the 2nd gate electrode formed through the insulator layer on the 1st gate electrode and which have been arranged in the shape of a matrix, and the principal plane of a semi-conductor layer. The isolation insulator layer which has the base which is formed among the memory cell transistors which adjoin mutually a line writing direction perpendicular to the direction in which the source field and drain field of a memory cell transistor are located in a line, and does not reach an insulating layer, The word line to which two or more memory cell

transistors belonging to the same line were connected in common with the 2nd gate electrode which it has, respectively, The body line by which two or more memory cell transistors belonging to the same line connect the body field which it has, respectively, The 1st drive circuit which is connected to a word line and supplies the 1st driving signal to a word line, Each depletion layer which is connected to a body line, is equipped with the 2nd drive circuit which supplies the 2nd driving signal to a body line, and is produced, respectively in the pn junction section of a source field and a drain field or a source field and a drain field, and a semi-conductor layer reaches an insulating layer.

[0025] Moreover, a non-volatile semiconductor memory according to claim 9 is a non-volatile semiconductor memory according to claim 8 among this invention, and the 1st and 2nd drive circuits are characterized by inserting the memory cell array section by which two or more memory cells which contain a memory cell transistor, respectively have been arranged, and being arranged mutually in the opposite side.

[0026] Among this invention, moreover, a non-volatile semiconductor memory according to claim 10 They are claims 5, 6, and 8 and the non-volatile semiconductor memory of any one publication of nine. The 2nd drive circuit It is characterized by supplying the 1st potential as the 2nd driving signal, and supplying touch-down potential or the 1st potential, and the 2nd potential of reversed polarity as the 2nd driving signal to a non-choosing body line to the body line chosen at the time of read-out of data.

[0027] Moreover, non-volatile semiconductor memories according to claim 11 are claims 5 and 6 and a non-volatile semiconductor memory of any one publication of 8-10 among this invention, and the 2nd drive circuit is characterized by for the 1st drive circuit preceding supplying the 1st driving signal to a word line, and supplying the 2nd driving signal to a body line.

[0028] Moreover, it is characterized by forming the memory cell transistor which is the non-volatile semiconductor memory of any one publication of claim 7-11, and adjoins a line writing direction mutually in a semi-conductor layer among the source fields which it has, respectively, and equipping further a non-volatile semiconductor memory according to claim 12 with the impurity installation field of the same conductivity type as a source field among this invention.

[0029] Among this invention, moreover, a semiconductor integrated circuit according to claim 13 The SOI substrate with which the laminating of a semi-conductor substrate, an insulating layer, and the semi-conductor layer was carried out to this order, Two or more memory cell transistors formed in the memory cell array section of a SOI substrate, It is formed in the low-battery section of a SOI substrate, and has two or more low-battery transistors driven on an electrical potential difference lower than the driver voltage of a memory cell transistor. A memory cell transistor and a low-battery transistor It has the source field and drain field which estranged mutually and were formed in the semi-conductor layer, respectively. The depletion layer produced in the pn junction section of the source field or source field, and semi-conductor layer of a memory cell transistor The depletion layer which does not reach an insulating layer but is produced, respectively in the pn junction section of the source field and the drain field or the source field and drain field, and semi-conductor layer of a low-battery transistor reaches an insulating layer.

[0030] Moreover, a semiconductor integrated circuit according to claim 14 is a semiconductor integrated circuit according to claim 13 among this invention, and the depth from the principal plane of a semi-conductor layer to the base of the source field of a low-battery transistor and a drain field is characterized by being deeper than the depth from the principal plane of a semi-conductor layer to the base of the source field of a memory cell transistor.

[0031] Moreover, among this invention, a semiconductor integrated circuit according to claim 15 is a semiconductor integrated circuit according to claim 13, and thickness of the semi-conductor layer in the low-battery section is characterized by being thinner than the thickness of the semi-conductor layer in the memory cell array section.

[0032] Moreover, among this invention, a semiconductor integrated circuit according to claim 16 is a semiconductor integrated circuit of any one publication of claim 13-15, and it is formed in a semi-

conductor layer at the boundary part of the memory cell array section and the low-battery section, and is characterized by equipping a base with the isolation insulator layer which reaches an insulating layer further.

[0033] Among this invention, moreover, a semiconductor integrated circuit according to claim 17 The memory cell array section in which two or more memory cell transistors were formed, The low-battery section in which two or more low-battery transistors driven on an electrical potential difference lower than a memory cell transistor were formed, It has the substrate which has the high-voltage section in which two or more high-voltage transistors driven on an electrical potential difference higher than a low-battery transistor were formed, and the high-voltage section and the low-battery section are characterized by being arranged on both sides of the memory cell array section.

[0034] Moreover, a semiconductor integrated circuit according to claim 18 is a semiconductor integrated circuit according to claim 17 among this invention, the low-battery section is divided into two or more circuit blocks, and the high frequency circuit section in which the high frequency circuit was formed is characterized by being prepared in the circuit block arranged in the most distant part from the high-voltage section.

[0035] Among this invention, moreover, a semiconductor integrated circuit according to claim 19 It is a semiconductor integrated circuit according to claim 18. A substrate A semi-conductor substrate, an insulating layer, and a semi-conductor layer are the SOI substrates by which the laminating was carried out to this order. A semiconductor integrated circuit The 1st isolation insulator layer which was formed in the semi-conductor layer at each boundary part of the memory cell array section, the low-battery section, and the high-voltage section and which has the base which reaches an insulating layer, It is formed in a semi-conductor layer at the boundary part of the RF circuit section and other fields, has the base which reaches an insulating layer, and is characterized by having further the 2nd isolation insulator layer broader than the 1st isolation insulator layer.

[0036] Among this invention, moreover, a semiconductor integrated circuit according to claim 20 It is a semiconductor integrated circuit according to claim 17. A substrate A semi-conductor substrate, an insulating layer, and a semi-conductor layer are the SOI substrates by which the laminating was carried out to this order. A semiconductor integrated circuit [in the 1st isolation insulator layer which was formed among the memory cell transistors which adjoin mutually in the principal plane of a semi-conductor layer and which has the base which does not reach an insulating layer, and the principal plane of a semi-conductor layer] It is formed among the low-battery transistors which adjoin mutually, and has further the 2nd isolation insulator layer which has the base which does not reach an insulating layer. The depth from the principal plane of a semi-conductor layer to the base of the 1st isolation insulator layer is characterized by being deeper than the depth from the principal plane of a semi-conductor layer to the base of the 2nd isolation insulator layer.

[0037] Among this invention, moreover, a semiconductor integrated circuit according to claim 21 It is a semiconductor integrated circuit according to claim 17. A substrate A semi-conductor substrate, an insulating layer, and a semi-conductor layer are the SOI substrates by which the laminating was carried out to this order. A semiconductor integrated circuit [in the 1st isolation insulator layer in which it was formed among the memory cell transistors which adjoin mutually in the principal plane of a semi-conductor layer, and the base was adjoined and the 1st channel cut layer was formed, and the principal plane of a semi-conductor layer] It has further the 2nd isolation insulator layer in which it was formed among the low-battery transistors which adjoin mutually, and the base was adjoined and the 2nd channel cut layer was formed. High impurity concentration of the 1st channel cut layer is characterized by being higher than the high impurity concentration of the 2nd channel cut layer.

[0038] Moreover, a semiconductor integrated circuit according to claim 22 is a semiconductor integrated circuit according to claim 17 among this invention, and the threshold electrical potential difference of a memory cell transistor is characterized by being higher than the threshold electrical potential difference of a low-battery transistor.

[0039] Among this invention, moreover, a semiconductor integrated circuit according to claim 23 The memory cell array section in which the laminating of a semi-conductor substrate, an insulating layer, and the semi-conductor layer was carried out to this order, and two or more memory cell transistors were formed, The low-battery section in which two or more low-battery transistors driven on an electrical potential difference lower than a memory cell transistor were formed, [in the SOI substrate which has the high-voltage section in which two or more high-voltage transistors driven on an electrical potential difference higher than a low-battery transistor were formed, and a semi-conductor layer] It has the 1st isolation insulator layer which was formed in each boundary part of the memory cell array section, the low-battery section, and the high-voltage section and to which a base reaches an insulating layer.

[0040] Moreover, a semiconductor integrated circuit according to claim 24 is a semiconductor integrated circuit according to claim 23 among this invention, and it has in a part the part which adjoins the low-battery section, a semiconductor integrated circuit is formed in the semi-conductor layer in a part, and the high-voltage section has the base which reaches an insulating layer, and is characterized by having further the 2nd isolation insulator layer broader than the 1st isolation insulator layer.

[0041]

[Embodiment of the Invention] Gestalt 1. drawing 1 of operation is the sectional view showing the structure of a memory cell transistor of the flash memory concerning the gestalt 1 of operation of this invention. The SOI substrate 1 has accomplished the laminated structure by which the laminating of a silicon substrate 2, the BOX layer 3, and the silicon layer 4 was carried out to this order. In the top face of the silicon layer 4, the isolation insulator layer 5 of the partial trench discrete type (a "fractional separation mold" is only called hereafter) with which a base does not arrive at the top face of the BOX layer 3 is formed alternatively. Moreover, in the component formation field specified by the isolation insulator layer 5, the source field and drain field (it does not appear in drawing 1) which accomplish a pair across the body field 70 are formed in the top face of the silicon layer 4. Moreover, on the top face of the silicon layer 4 of a part in which the body field 70 is formed, the laminated structure by which the laminating of gate oxide 6, the floating gate 7, an insulator layer 8, and the control gate 9 was carried out to this order is formed. Gate electrode structure is constituted by forming in the side face of this laminated structure the sidewall 11 (it not appearing in drawing 1) which consists of an insulator layer.

[0042] Thus, the potential of the body field 70 is fixable by adopting not the isolation insulator layer of a perfect discrete type but the isolation insulator layer 5 of a fractional separation mold from the outside as an isolation insulator layer for separating the memory cells which adjoin mutually through the silicon layer 4 of the part located between the base of the isolation insulator layer 5, and the top face of the BOX layer 3. Therefore, the above-mentioned malfunction resulting from an electron hole being accumulated into the body field 70 can be avoided, and pressure-proofing between source-drains can be raised. Consequently, the memory cell transistor which can perform write-in actuation and read-out actuation of data using the high voltage can be obtained.

[0043] Moreover, in the circumference circuit section in which circumference circuits in which the memory cell is formed, such as not only the memory cell array section but a sense amplifier, are formed, pressure-proofing between source-drains can be similarly raised by adopting the isolation insulator layer 5 of a fractional separation mold.

[0044] Drawing 2 is the circuit diagram extracting and showing a part of configuration of the memory cell array of a flash memory. Drawing 2 shows only the configuration of a total of 15 memory cells for five line x3 train. Here, the "line" at the time of specifying a direction perpendicular to the direction in which the source field and drain field of a memory cell transistor are located in a line with reference to below-mentioned drawing 3 as a "line writing direction" is meant as the "line" of a memory cell array. Moreover, the "train" of a MEMOSERU array means the "train" at the time of specifying the direction where the source field and drain field of a memory cell transistor are located in a line with reference to below-mentioned drawing 3 as "the direction of a train." Each memory cell is equipped with the memory cell transistor shown in drawing 1 , respectively. About the memory cell belonging to the same line, the

control gate CG of each memory cell transistor is connected to the common word line. For example, the control gate CG of each memory cell transistor with which memory cells MC11–MC13 are equipped is connected to the word line WL1 in common.

[0045] Moreover, the source S of each memory cell transistor is connected to the common source line about the memory cell belonging to the same line. For example, the source S of each memory cell transistor with which memory cells MC11–MC13 are equipped is connected to the source line SL 1 in common. Moreover, the source lines SL1–SL5 of each line are connected to the common source line SL 0.

[0046] Moreover, about the memory cell belonging to the same train, the drain D of each memory cell transistor is connected to the common bit line. For example, the drain D of each memory cell transistor with which memory cells MC11–MC51 are equipped is connected to the bit line BL1 in common.

[0047] Drawing 3 is a plan which has the configuration of a memory cell array shown in drawing 2 and in which showing the structure of the non-volatile semiconductor memory concerning the gestalt 1 of this operation. However, drawing 3 shows typically the arrangement relation of the floating gate, a word line (it serves as the control gate), a source line, and an isolation insulator layer. For example, the floating gate 711,712,721 shown in drawing 3 is equivalent to each floating gate FG of the memory cell transistor with which the memory cells MC11, MC12, and MC21 shown in drawing 2 are equipped, respectively.

[0048] Moreover, for example, the source field Sa shown in drawing 3 corresponds to each source S of the memory cell transistor with which the memory cells MC11 and MC21 shown in drawing 2 are equipped, respectively, and the source field Sd shown in drawing 3 corresponds to each source S of the memory cell transistor with which the memory cells MC31 and MC41 shown in drawing 2 are equipped, respectively.

[0049] Moreover, for example, the drain field Da shown in drawing 3 corresponds to each drain D of the memory cell transistor with which the memory cells MC21 and MC31 shown in drawing 2 are equipped, respectively, and the drain field Dd shown in drawing 3 corresponds to each drain D of the memory cell transistor with which the memory cells MC41 and MC51 shown in drawing 2 are equipped, respectively.

[0050] In the source lines SL3 and SL4, with reference to drawing 3, the source line SL 5 contains [the source lines SL1 and SL2] source field Sg–Si including source field Sd–Sf including source field Sa–Sc. The isolation insulator layer 5 is extended and formed in band-like between each train so that the memory cells belonging to a different train may be separated. In drawing 3, hatching of a slash has been performed to the field in which the isolation insulator layer 5 is formed.

[0051] All the source fields belonging to the same line are mutually connected electrically through the silicon layer 4 of the part located between the base of the isolation insulator layer 5, and the top face of the BOX layer 3. For example, source field Sa–Sc is electrically connected through the silicon layer 4 of the above-mentioned part, and, thereby, the band-like source lines SL1 and SL2 which extend in a line writing direction are constituted.

[0052] Thus, according to the non-volatile semiconductor memory concerning the gestalt 1 of this operation, the source fields which adjoin a line writing direction mutually are mutually connected electrically through the silicon layer 4 of the part located between the base of the isolation insulator layer 5 of a fractional separation mold, and the top face of the BOX layer 3, and, thereby, the source lines SL1–SL5 are constituted. Therefore, since it is not necessary to establish the field in which the isolation insulator layer 5 is not formed in each spacing in forming the source lines SL1–SL5, as compared with the conventional non-volatile semiconductor memory shown in drawing 49, the area of the memory cell array section is reducible.

[0053] Drawing 4 is the plan showing the structure of the non-volatile semiconductor memory which is made to correspond to drawing 3 and is applied to the modification of the gestalt 1 of operation of this invention. The non-volatile semiconductor memory shown in drawing 4 forms the impurity installation field 10 mentioned later in the silicon layer 4 of the part exposed by removal of the isolation insulator layer 5 by removing the isolation insulator layer 5 between the source fields (for example, the source

field Sa and the source field Sb) which adjoin a line writing direction mutually on the basis of the non-volatile semiconductor memory shown in drawing 3 , and using the part as an aperture for impurity installation.

[0054] Drawing 5 -8 are the sectional view showing the cross-section structure in the location in alignment with the segments X1-X4 shown in drawing 4 , respectively. With reference to drawing 5 , the body field B11 and the body field B12 are mutually connected electrically through the silicon layer 4 of the part located between the base of the isolation insulator layer 5, and the top face of the BOX layer 3. Consequently, the potential of the body fields B11 and B12 is fixable to the same potential by impressing an electrical potential difference to the silicon layer 4 from the exterior.

[0055] With reference to drawing 6 , the crevice produced by having removed the isolation insulator layer 5 is formed in the top face of the silicon layer 4 located between the source field Sd and the source field Se. And in the silicon layer 4 located between the source fields Sd and the source fields Se of a part which were exposed by removal of the isolation insulator layer 5, the impurity installation field 10 of the same conductivity type as the source fields Sd and Se is formed.

[0056] Moreover, with reference to drawing 8 , the isolation insulator layer 5 between a word line WL3 and a word line WL4 is removed. And the impurity installation field 10 is formed in the silicon layer 4 of the part exposed by removal of the isolation insulator layer 5.

[0057] After forming a memory cell transistor, the impurity installation field 10 removes the isolation insulator layer 5, forms the above-mentioned crevice, and is formed by introducing the impurity of the same conductivity type as a source field in the silicon layer 4 from the base of the above-mentioned crevice with ion-implantation after that. In addition, in removing the isolation insulator layer 5, you may remove completely until the silicon layer 4 under it is exposed, as shown in drawing 6 and 8, or only a part may be removed.

[0058] As shown in drawing 6 and 8, as for the impurity installation field 10, it is desirable to form so that the base may arrive at the top face of the BOX layer 3. Since it can avoid that pn junction capacity arises and the parasitic capacitance of a source line can be reduced between the base of the impurity installation field 10, and the silicon layer 4 by this, improvement in the speed of operation and reduction of power consumption can be aimed at.

[0059] With reference to drawing 7 , the source fields Sa, Sd, and Sg and the drain fields Da and Dd have arrived at the top face of the BOX layer 3. Here, both mode (drawing 7) to which the impurity diffusion field of a source field and a drain field itself arrives at the top face of a BOX layer, respectively, saying "a source field and a drain field arrive at the top face of a BOX layer", and mode to which the depletion layer produced in the pn junction section of a source field and a drain field, and a silicon layer arrives at the top face of a BOX layer, respectively are included. It is [in / about this point / this specification] the same as that of the following. Since the pn junction capacity produced between a source field and a drain field, and the silicon layer 4 by forming a source field and a drain field can be reduced so that the top face of the BOX layer 3 may be arrived at, and the parasitic capacitance of a source line can be reduced, improvement in the speed of operation and reduction of power consumption can be aimed at.

[0060] Thus, according to the non-volatile semiconductor memory concerning the modification of the gestalt 1 of this operation, the impurity installation field 10 of the same conductivity type as a source field was formed in the silicon layer 4 located among the source fields which adjoin a line writing direction mutually. Therefore, resistance of the source lines SL1-SL5 can be reduced.

[0061] In the non-volatile semiconductor memory concerning the gestalt 1 of the gestalt 2. above-mentioned implementation of operation, as shown in drawing 7 , the source field and drain field of a memory cell transistor were deeply formed so that the top face of the BOX layer 3 might be arrived at. However, since the source field Sa and the drain field Da face across the body field B21 from right and left as shown in drawing 7 for example, The width of face of the body field Da of the direction of channel length becomes narrow. The result, In drawing 7 It is related in the direction perpendicular to space.

Body resistance goes up (). ["Bulk-Layout-Compatible 0.18 micrometer SOI-CMOS Technology Using Body-Fixed Partial Trench Isolation] (PTI) ", Y.Hirano et al., 1999 IEEE International SOI Conference, Oct.1999, pp131 reference. With the gestalt 2 of this operation, the non-volatile semiconductor memory which can avoid this un-arranging is proposed.

[0062] Drawing 9 is the sectional view showing the structure of the non-volatile semiconductor memory concerning the gestalt 2 of operation of this invention. Drawing 9 is made to correspond to drawing 7 , and is equivalent to what expanded and showed only one memory cell transistor. The source field S of a memory cell transistor and the drain field D are shallowly formed so that the top face of the BOX layer 3 may not be arrived at. Thus, the source field S which does not arrive at the top face of the BOX layer 3, and the drain field D can be formed, when the thickness of the silicon layer 4 is 150nm, impregnation energy carries out 8keV(s) on condition that $4 \times 10^{15} \text{--}/\text{cm}^2$ and a dose carries out the ion implantation of the As (in the case of NMOS).

[0063] Moreover, drawing 10 is the sectional view showing the structure of the non-volatile semiconductor memory which is made to correspond to drawing 6 and is applied to the gestalt 2 of operation of this invention. To the source field S being formed so that the top face of the BOX layer 3 may not be arrived at, like the gestalt 1 of the above-mentioned implementation, the impurity installation field 10 is formed so that the top face of the BOX layer 3 may be arrived at.

[0064] Thus, since according to the non-volatile semiconductor memory concerning the gestalt 2 of this operation the source field S of a memory cell transistor and the drain field D were formed so that the top face of the BOX layer 3 might not be arrived at, it is avoidable that body resistance goes up about a direction perpendicular to space in drawing 9 .

[0065] Moreover, with reference to drawing 3 and 4, body potential was fixable only through the field between the memory cells which adjoin a line writing direction mutually with the non-volatile semiconductor memory concerning the gestalt 1 of the above-mentioned implementation. On the other hand, according to the non-volatile semiconductor memory concerning the gestalt 2 of this operation, body potential is fixable even if it lets the field between the memory cells which adjoin in the direction of a train mutually pass, since the silicon layer 4 exists between each base of the source field S and the drain field D, and the top face of the BOX layer 3. Consequently, the fixed capacity of body potential increases and pressure-proofing between source-drains can be raised further.

[0066] And as shown in drawing 10 , since the impurity installation field 10 is formed so that the top face of the BOX layer 3 may be arrived at, it is avoidable that pn junction capacity arises between the impurity installation field 10 and the silicon layer 4. Therefore, increase of the parasitic capacitance of the source line accompanying forming a source field and a drain field so that the top face of the BOX layer 3 may not be arrived at can be suppressed to the minimum.

[0067] In the non-volatile semiconductor memory concerning the gestalt 1 of the gestalt 3. above-mentioned implementation of operation, the pn junction capacity by the side of a drain does effect to the read-out actuation and the write-in actuation of data which are accessed at random. Moreover, the pn junction capacity by the side of the source does effect to the elimination actuation of data performed to a package. However, these relation changes with the cellular structure, the method of writing or elimination, and configurations of a memory cell array (a Nikkei micro device, the March, 2000 issue, pp74, 75 reference).

[0068] Drawing 11 is the sectional view showing the structure of the non-volatile semiconductor memory concerning the gestalt 3 of operation of this invention. Drawing 11 R> 1 is made to correspond to drawing 7 , and is equivalent to what expanded and showed the memory cell transistor with which memory cells MC31 and MC41 are equipped, respectively. Like the gestalt 1 of the above-mentioned implementation, the drain fields Da and Dd are deeply formed so that the top face of the BOX layer 3 may be arrived at. Thus, the drain fields Da and Dd which arrive at the top face of the BOX layer 3 can be formed, when the thickness of the silicon layer 4 is 150nm, impregnation energy carries out 50keV(s) on condition that $4 \times 10^{15} \text{--}/\text{cm}^2$ and a dose carries out the ion implantation of the As (in the case of

NMOS). On the other hand, like the gestalt 2 of the above-mentioned implementation, the source field Sd is shallowly formed so that the top face of the BOX layer 3 may not be arrived at.

[0069] In addition, also in the non-volatile semiconductor memory concerning the gestalt 3 of this operation, the layout configuration shown in drawing 4 can be taken as a configuration of a memory cell array. In this case, the structure of a source line turns into structure shown in drawing 10.

[0070] Thus, the fixed capacity of body potential can be heightened by forming a source field so that the top face of the BOX layer 3 may not be arrived at, maintaining actuation of a high speed and a low power about read-out actuation and write-in actuation of data by forming a drain field so that the top face of the BOX layer 3 may be arrived at according to the non-volatile semiconductor memory concerning the gestalt 3 of this operation.

[0071] Drawing 12 is the plan showing the structure of the non-volatile semiconductor memory concerning the modification of the gestalt 3 of this operation. However, drawing 12 shows typically the arrangement relation of the floating gate, a word line (it serves as the control gate), a source line, and an isolation insulator layer. The field in which the isolation insulator layer 5 is not formed is established in each spacing like the layout of a memory cell array shown in drawing 49, and the source lines SL1-SL5 are formed in this field. At this time, the source lines SL1-SL5 are shallowly formed so that the top face of the BOX layer 3 may not be arrived at. That is, the silicon layer 4 exists between the base of the source lines SL1-SL5, and the top face of the BOX layer 3.

[0072] According to the non-volatile semiconductor memory concerning the modification of the gestalt 3 of this operation, the potential of the body field which adjoins in the direction of a train mutually on both sides of the source lines SL1-SL5 is mutually fixable through the silicon layer 4 of the part located between the base of the source lines SL1-SL5, and the top face of the BOX layer 3. Therefore, from a viewpoint of reducing the area of the memory cell array section as compared with drawing 3 and the layout shown in 4, although it is inferior, about the fixed capacity of body potential, it excels very much. Therefore, as for adopting the layout shown in drawing 12, it is desirable for there to be many counts of rewriting etc. in the flash memory as which high pressure-proofing is required between source-drains. In addition, even if it is the non-volatile semiconductor memory which takes the layout shown in drawing 12, since the drain field is formed so that the top face of the BOX layer 3 may be arrived at, it can maintain actuation of a high speed and a low power about read-out actuation and write-in actuation of data.

[0073] Gestalt 4. drawing 13 of operation is the sectional view showing the structure of the semiconductor integrated circuit concerning the gestalt 4 of operation of this invention. The SOI substrate 1 has the memory cell array section in which the memory cell array of a flash memory was formed, and the low-battery logical-circuit section in which the low-battery logical circuit which operates on an electrical potential difference lower than the operating voltage of a flash memory was formed. The circumference circuit of the flash memory itself and other logical circuits used combining a flash memory are concretely formed in the low-battery logical-circuit section.

[0074] The memory cell array section and the low-battery logical-circuit section are mutually separated by the isolation insulator layer 5 of the fractional separation mold formed in the top face of the silicon layer 4. Moreover, the thickness of the silicon layer 4 in the memory cell array section and the thickness of the silicon layer 4 in the low-battery logical-circuit section are mutually equal.

[0075] In the top face of the silicon layer 4, the source drain field 12 which estranges mutually and accomplishes a pair is formed about the memory cell array section. Moreover, on the top face of the silicon layer 4 of the part pinched by source drain field 12 comrades, the laminated structure by which the laminating of gate oxide 6, the floating gate 7, an insulator layer 8, and the control gate 9 was carried out to this order is formed. Moreover, a sidewall 11 is formed in the side face of this laminated structure, and gate electrode structure is constituted. The source drain field 12 has given neither to the top face of the BOX layer 3 like the gestalt 2 of the above-mentioned implementation. However, like the gestalt 3 of the above-mentioned implementation, a drain field may be constituted so that the top face of the

BOX layer 3 may be arrived at and only a source field may not arrive at the top face of the BOX layer 3. [0076] On the other hand, in the top face of the silicon layer 4, the source drain field 14 which estranges mutually and accomplishes a pair is formed about the low-battery logical-circuit section. Moreover, on the top face of the silicon layer 4 of the part pinched by source drain field 14 comrades, the laminated structure by which the laminating of gate oxide 6 and the gate electrode 13 was carried out to this order is formed. Moreover, a sidewall 11 is formed in the side face of this laminated structure, and gate electrode structure is constituted. The source drain field 14 is attained and formed in the top face of the BOX layer 3 by each.

[0077] Thus, according to the semiconductor integrated circuit concerning the gestalt 4 of this operation, it sets in the memory cell array section. As opposed to only the source field being formed like the gestalt 2 of the above-mentioned implementation, like the source drain field 12 or the gestalt 3 of the above-mentioned implementation, so that the top face of the BOX layer 3 may not be arrived at In the low-battery logical-circuit section, the source drain field 14 is formed so that each may be given to the top face of the BOX layer 3. Therefore, in the low-battery logical-circuit section, the fall of a working speed accompanying increase of the pn junction capacity constituted by the source drain field 14 and the silicon layer 4 and increase of power consumption are avoidable, acquiring the non-volatile semiconductor-memory **** effectiveness which starts the gestalten 2 and 3 of the above-mentioned implementation about the memory cell array section.

[0078] Gestalt 5. drawing 14 of operation is the sectional view showing the structure of the semiconductor integrated circuit concerning the gestalt 5 of operation of this invention. The SOI substrate 1 has the memory cell array section and the low-battery logical-circuit section like the gestalt 4 of the above-mentioned implementation. The thickness of the silicon layer 4 in the low-battery logical-circuit section is thinner than the thickness of the silicon layer 4 in the memory cell array section. Moreover, the memory cell array section and the low-battery logical-circuit section are mutually separated by the isolation insulator layer 15 of the fractional separation mold formed in the top face of the silicon layer 4.

[0079] The same memory cell transistor as the gestalt 4 of the above-mentioned implementation is formed in the memory cell array section. Moreover, on the top face of the silicon layer 4 in the low-battery logical-circuit section, the same gate electrode structure as the gestalt 4 of the above-mentioned implementation is constituted. Moreover, in the silicon layer 4 in the low-battery logical-circuit section, the source drain field 36 which arrives at the top face of the BOX layer 3 is formed. The depth from the top face of the silicon layer 4 to the base of the source drain field 12 is equal to the depth from the top face of the silicon layer 4 to the base of the source drain field 36.

[0080] The thickness of (a) silicon layer 4 the structure shown in drawing 14 For example, the process for which the SOI substrate 1 which is 200nm is prepared, (b) In the process into which only 100nm thickness etches the silicon layer 4 in the low-battery logical-circuit section from a top face, the process which forms (c) isolation insulator layer 15, and (d) memory cell array section and the low-battery logical-circuit section It is obtained by performing the process which forms gate electrode structure, respectively, and the process to which (e) impregnation energy carries out 50keV(s) on condition that $4 \times 10^{15} / \text{cm}^2$, and a dose carries out the ion implantation of the As (in the case of NMOS) in this order.

[0081] Thus, according to the semiconductor integrated circuit concerning the gestalt 5 of this operation, in the low-battery logical-circuit section, the fall of a working speed accompanying increase of the pn junction capacity constituted by the source drain field 36 and the silicon layer 4 and increase of power consumption are avoidable, acquiring the non-volatile semiconductor-memory **** effectiveness which starts the gestalten 2 and 3 of the above-mentioned implementation about the memory cell array section as well as the gestalt 4 of the above-mentioned implementation.

[0082] And since the silicon layer 4 in the low-battery logical-circuit section is thin-film-ized beforehand, the more nearly same ion grouting can form the source drain field 12 which does not arrive

at the top face of the BOX layer 3, and the source drain field 36 which arrives at the top face of the BOX layer 3 by (e).

[0083] Gestalt 6. drawing 15 of operation is the sectional view showing the structure of the semiconductor integrated circuit concerning the gestalt 6 of operation of this invention. The semiconductor integrated circuit concerning the gestalt 6 of this operation forms the isolation insulator layer 16 instead of the isolation insulator layer 5 in the boundary part of the memory cell array section and the low-battery logical-circuit section on the basis of the semiconductor integrated circuit concerning the gestalt 4 of the above-mentioned implementation shown in drawing 13. The isolation insulator layer 16 has the full separation section 40 which arrives at the top face of the BOX layer 3 on at the bottom [a part of].

[0084] Drawing 16 -19 are the sectional view showing the 1st manufacture approach of the isolation insulator layer 16 in order of a process (Japanese Patent Application No. No. 367265 [ten to]). First, an oxide film 17 and a nitride 18 are formed on the top face of the silicon layer 4 on the whole surface at this order. Next, the photoresist 19 which has an opening pattern above the formation schedule field of the isolation insulator layer 16 is formed on the top face of a nitride 18. Next, a crevice 20 is formed by using a photoresist 19 for a mask and etching a nitride 18, an oxide film 17, and the silicon layer 4 into this order. At this time, a part of silicon layer 4 remains between the base of a crevice 20, and the top face of the BOX layer 3 (drawing 16 R> 6).

[0085] Next, the sidewall 21 which consists of an insulator layer is formed in the side face of a crevice 20 (drawing 17). As shown in drawing 17 , a part for the core of the base of a crevice 20 is exposed from the sidewall 21. Next, a crevice 22 is formed by etching the silicon layer 4 until it uses a sidewall 21 and a photoresist 19 for a mask and the top face of the BOX layer 3 is exposed (drawing 18). Next, after being filled up with the inside of a crevice 20 and 22 by the insulator layer, the isolation insulator layer 16 which has the full separation section 40 is formed by grinding the whole to extent in which the pars basilaris ossis occipitalis of a nitride 18 remains, and removing a remaining nitride 18 and a remaining oxide film 17 after that by the CMP method, to it (drawing 19).

[0086] Drawing 20 and 21 are the sectional views showing the 2nd manufacture approach of the isolation insulator layer 16 in order of a process (Japanese Patent Application No. No. 367265 [ten to]). First, a photoresist 19 is removed after acquiring the structure shown in drawing 16 . Next, the photoresist 23 which has an opening pattern above the formation schedule field of the full separation section 40 is formed (drawing 20). Next, a crevice 24 is formed by etching the silicon layer 4 until it uses a photoresist 23 for a mask and the top face of the BOX layer 3 is exposed (drawing 21).

[0087] Next, after removing a photoresist 23, it is filled up with the inside of a crevice 20 and 24 by the insulator layer. Next, the isolation insulator layer 16 which has the full separation section 40 is formed like drawing 19 by grinding the whole to extent in which the pars basilaris ossis occipitalis of a nitride 18 remains, and removing a remaining nitride 18 and a remaining oxide film 17 after that by the CMP method, to it.

[0088] Drawing 22 -24 are the sectional view showing the 3rd manufacture approach of the isolation insulator layer 16 in order of a process (Japanese Patent Application No. No. 177091 [11 to]). First, an oxide film 17 and a nitride 18 are formed on the top face of the silicon layer 4 on the whole surface at this order. Next, the photoresist 25 which has an opening pattern above the formation schedule field of the full separation section 40 is formed on the top face of a nitride 18. Next, a crevice 26 is formed by etching a nitride 18, an oxide film 17, and the silicon layer 4 into this order until it uses a photoresist 25 for a mask and the top face of the BOX layer 3 is exposed (drawing 22).

[0089] Next, after removing a photoresist 25, the photoresist 27 which has an opening pattern above the formation schedule field of the isolation insulator layer 16 is formed on the top face of a nitride 18 (drawing 23). Next, a crevice 28 is formed by using a photoresist 27 for a mask and etching a nitride 18, an oxide film 17, and the silicon layer 4 into this order. At this time, a part of silicon layer 4 remains between the base of a crevice 28, and the top face of the BOX layer 3. Then, a photoresist 27 is

removed (drawing 24).

[0090] Next, after being filled up with the inside of a crevice 26 and 28 by the insulator layer, the isolation insulator layer 16 which has the full separation section 40 is formed like drawing 19 by grinding the whole to extent in which the pars basilaris ossis occipitalis of a nitride 18 remains, and removing a remaining nitride 18 and a remaining oxide film 17 after that by the CMP method, to it.

[0091] Drawing 25 -29 are the sectional view showing the 4th manufacture approach of the isolation insulator layer 16 in order of a process (application for patent No. 39484 [2000 to]). First, an oxide film 17, the polish recon film 29, and a nitride 18 are formed on the top face of the silicon layer 4 on the whole surface at this order. Next, the photoresist 30 which has an opening pattern above the formation schedule field of the isolation insulator layer 16 is formed on the top face of a nitride 18 (drawing 25).

[0092] Next, a crevice 31 is formed by using a photoresist 30 for a mask and etching a nitride 18, the polish recon film 29, an oxide film 17, and the silicon layer 4 into this order. At this time, a part of silicon layer 4 remains between the base of a crevice 31, and the top face of the BOX layer 3. Then, a photoresist 30 is removed (drawing 26 R> 6).

[0093] Next, a crevice 32 is formed by etching the silicon layer 4 until it uses for a mask the photoresist 23 which has an opening pattern above the formation schedule field of the full separation section 40 like the manufacture approach of the above 2nd and the top face of the BOX layer 3 is exposed. Then, a photoresist 23 is removed (drawing 27).

[0094] Next, an oxide film 33 is formed in the side face of crevices 31 and 32 by carrying out wet oxidation on about 700-900-degree C temperature conditions (drawing 28). An oxide film 33 invades deeply between the polish recon film 29 and an oxide film 17 and between an oxide film 17 and the silicon layer 4. Therefore, the BAZU beak configuration of an oxide film 33 becomes remarkable.

[0095] Next, after being filled up with the inside of a crevice 31 and 32 with an oxide film 34, silicon oxide 34 is ground by the CMP method to extent to which the top face of an oxide film 34 does not become lower than the top face of a nitride 18 too much (drawing 29). Next, the isolation insulator layer 16 which has the full separation section 40 is formed like drawing 19 by removing a nitride 18, the polish recon film 29, and an oxide film 17.

[0096] Although the above explanation explained the case where invention which relates to the gestalt 6 of this operation on the basis of the semiconductor integrated circuit concerning the gestalt 4 of the above-mentioned implementation shown in drawing 13 was applied, invention which relates to the gestalt 6 of this operation on the basis of the semiconductor integrated circuit concerning the gestalt 5 of the above-mentioned implementation shown in drawing 14 is also applicable. Drawing 30 is the sectional view showing the structure of the semiconductor integrated circuit concerning the gestalt 6 of the operation of this invention at the time of being based on the semiconductor integrated circuit concerning the gestalt 5 of the above-mentioned implementation. The semiconductor integrated circuit shown in drawing 30 forms the isolation insulator layer 35 instead of the isolation insulator layer 15 shown in drawing 14 in the boundary part of the memory cell array section and the low-battery logical-circuit section. The isolation insulator layer 35 has the full separation section 41 which arrives at the top face of the BOX layer 3 on at the bottom [a part of].

[0097] Drawing 31 -34 are the sectional view showing the manufacture approach of the semiconductor integrated circuit shown in drawing 30 in order of a process. First, the SOI substrate 1 which has the laminated structure by which the laminating of a silicon substrate 2, the BOX layer 3, and the silicon layer 4 was carried out to this order is prepared (drawing 31). Next, the top face of the silicon layer 4 in the low-battery logical-circuit section is oxidized thermally, and silicon oxide (not shown) is formed. Since thermal oxidation advances also inside the silicon layer 4, the base of silicon oxide will exist in a location lower than the top face of the silicon layer 4 in the memory cell array section. Next, etching removes the above-mentioned silicon oxide formed by thermal oxidation. Thereby, the top face of the silicon layer 4 in the low-battery logical-circuit section becomes lower than the top face of the silicon layer 4 in the memory cell array section (drawing 32).

[0098] Next, the isolation insulator layer 35 is formed in the boundary part of the memory cell array section and the low-battery logical-circuit section by the same approach as the case where the isolation insulator layer 16 is formed. Moreover, in the memory cell array section and low-battery logical-circuit circles, the isolation insulator layer 5 of a fractional separation mold is formed (drawing 33).

[0099] Next, in the memory cell array section and the low-battery logical-circuit section, gate electrode structure is formed on the top face of the silicon layer 4, respectively (drawing 34). After forming floating-gate material in the memory cell array section beforehand, for example, specifically forming the polycide structure of polish recon and tungsten silicide in the whole surface, patterning is carried out and it considers as gate electrode structure.

[0100] Then, by using gate electrode structure and the isolation insulator layers 5 and 35 for a mask, and carrying out the ion implantation of the impurity into the silicon layer 4, the source drain fields 12 and 36 are formed and the structure shown in drawing 30 is acquired.

[0101] If drawing 13 and 14 are referred to, the isolation insulator layers 5 and 15 of a fractional separation mold are formed in the boundary part of the memory cell array section and the low-battery logical-circuit section, and the silicon layer 4 exists between the base of the isolation insulator layers 5 and 15, and the top face of the BOX layer 3. Therefore, it is easy to spread mutually the noise generated in the memory cell array section and the low-battery logical-circuit section through the silicon layer 4 of this part, and a memory cell transistor and a low-battery logical circuit tended to be mutually influenced of the noise.

[0102] On the other hand, according to the semiconductor integrated circuit concerning the gestalt 6 of this operation, the isolation insulator layers 16 and 35 which have the full separation sections 40 and 41 are formed in the boundary part of the memory cell array section and the low-battery logical-circuit section. Therefore, it can control that the noise in the memory cell array section and the low-battery logical-circuit section spreads each other mutually, and the semiconductor integrated circuit which cannot be easily influenced of a noise can be obtained.

[0103] In addition, although the above explanation explained the case where the isolation insulator layers 16 and 35 which have the full separation sections 40 and 41 were formed in at the bottom [a part of], the same effectiveness as the above is acquired also by forming the isolation insulator layer of a perfect discrete type which has the base which arrives at the top face of the BOX layer 3 instead of forming the isolation insulator layers 16 and 35.

[0104] Gestalt 7. drawing 35 of operation is the plan showing typically the configuration of the semiconductor integrated circuit concerning the gestalt 7 of operation of this invention. Moreover, drawing 36 is the sectional view showing typically the cross-section structure of the semiconductor integrated circuit concerning the gestalt 7 of operation of this invention. As shown in drawing 35 and 36, the semiconductor integrated circuit concerning the gestalt 7 of this operation is equipped with the low-battery section containing the above-mentioned low-battery logical-circuit section etc., and the high-voltage section which treats the high voltage rather than the low-battery section. The high-voltage section has the high-voltage circuit section and the memory cell array section, and the high-voltage circuit section and the low-battery section are arranged on both sides of the memory cell array section in the opposite side of a substrate. The high-voltage circuit section is separated by the isolation insulator layer 45 with the memory cell array section. Moreover, the low-battery section is separated by the isolation insulator layer 45 with the memory cell array section. As shown in drawing 36 , the isolation insulator layer 45 has the full separation section 47 on at the bottom [a part of]. However, the isolation insulator layer of a perfect discrete type may be formed instead of the isolation insulator layer 45.

[0105] Two or more memory cell transistors each other divided into the memory cell array section by the isolation insulator layer 5 of a fractional separation mold are formed in the shape of a matrix. Here, invention concerning the gestalten 1-3 of the above-mentioned implementation may be applied to the memory cell array section.

[0106] Moreover, two or more low-battery transistors driven on an electrical potential difference lower than the driver voltage of a memory cell transistor are formed in the low-battery section. The low-battery transistors which adjoin mutually are separated by the isolation insulator layer 5. Here, invention concerning the gestalten 4 and 5 of the above-mentioned implementation may be applied to the memory cell array section and the low-battery section. Moreover, two or more high-voltage transistors driven on an electrical potential difference higher than the driver voltage of a low-battery transistor are formed in the high-voltage circuit section. The high-voltage transistors which adjoin mutually are separated by the isolation insulator layer 5.

[0107] Thus, according to the semiconductor integrated circuit concerning the gestalt 7 of this operation, since the high-voltage circuit section and the low-battery section have been arranged to the opposite side of a substrate on both sides of the memory cell array section, the low-battery section can control being influenced of the high-voltage circuit section which is easy to serve as a generation source of a noise.

[0108] Moreover, since the low-battery section, the memory cell array section, and the memory cell array section and the high-voltage circuit section are mutually separated by the isolation insulator layer 45 which has the full separation section 47, or the isolation insulator layer of a perfect discrete type, it can control that the noise generated in each field spreads each other mutually through the silicon layer 4, and the semiconductor integrated circuit which cannot be easily influenced of a noise can be obtained.

[0109] Drawing 37 is the plan showing typically the configuration of the semiconductor integrated circuit concerning the 1st modification of the gestalt 7 of operation of this invention. The high-voltage circuit section is divided into two or more circuit blocks 42a-42d, and the low-battery section is divided into two or more circuit blocks 44a-44f. And the circuit blocks which adjoin mutually are separated by the isolation insulator layer 45. According to the semiconductor integrated circuit concerning the 1st modification of the gestalt 7 of this operation, in the high-voltage circuit section and the low-battery section, the interaction of the noise during a circuit block can be controlled, respectively.

[0110] Drawing 38 is the plan showing typically the configuration of the semiconductor integrated circuit concerning the 2nd modification of the gestalt 7 of operation of this invention. Like the semiconductor integrated circuit concerning the 1st modification of the above, the isolation insulator layer 45 is formed between each field of the high-voltage circuit section, the memory cell array section, and the low-battery section, and the isolation insulator layer 45 is formed also between the high-voltage circuit section and the circuit block of low-battery circles.

[0111] In the semiconductor integrated circuit concerning the 2nd modification of the gestalt 7 of this operation, on account of the layout, a part of high-voltage circuit section and a part of low-battery section adjoin mutually, they are arranged, and isolation insulator layer 46a broader than the isolation insulator layer 45 is formed between the high-voltage circuit sections of a part and the low-battery sections which adjoin mutually. Isolation insulator layer 46a is the isolation insulator layer 45, the isolation insulator layer which has the full separation section 47 similarly, or the isolation insulator layer of a perfect discrete type. Since broad isolation insulator layer 46a with separability ability higher than the isolation insulator layer 45 was formed between the high-voltage circuit sections of a part and the low-battery sections which adjoin mutually according to the semiconductor integrated circuit concerning the 2nd modification of the gestalt 7 of this operation, the interaction of the noise between the high-voltage circuit section of an adjacent part and the low-battery section can be controlled.

[0112] Moreover, in the semiconductor integrated circuit concerning the 1st and 2 modification of the gestalt 7 of this operation, when forming the RF (RF:Radio Frequency) circuit which treats the analog minute signal of a RF in the low-battery section, it is desirable to form a RF circuit in the circuit blocks 44f and 44j which separate from the high-voltage circuit section most, and are arranged. The effect a RF circuit is influenced by this by the noise generated in the high-voltage circuit section can be eased.

[0113] Furthermore, when the high frequency circuit is formed in circuit block 44j with reference to drawing 38, broad high isolation insulator layer 46b of separability ability may be formed between circuit

block 44j and the circuit blocks 44g and 44i which adjoin this. Isolation insulator layer 46b is the isolation insulator layer 45, the isolation insulator layer which has the full separation section 47 similarly, or the isolation insulator layer of a perfect discrete type. The effect a RF circuit is influenced by this by the noise generated in fields other than circuit block 44j can be eased further.

[0114] Gestalt 8. drawing 39 of operation is the sectional view showing typically the configuration of the semiconductor integrated circuit concerning the gestalt 8 of operation of this invention. The semiconductor integrated circuit applied to the gestalt 8 of this operation as shown in drawing 39 forms more deeply than the isolation insulator layers 5 and 45 in the low-battery section the isolation insulator layers 48 and 49 in the high-voltage circuit section and the memory cell array section on the basis of the semiconductor integrated circuit concerning the gestalt 7 of the above-mentioned implementation shown in drawing 36.

[0115] The isolation insulator layer 48 is an isolation insulator layer of a fractional separation mold, and is formed in high-voltage circuit circles among the memory cell transistors which adjoin mutually in the high-voltage transistors which adjoin mutually, and memory cell array circles. Moreover, the isolation insulator layer 49 is an isolation insulator layer which has the full separation section 50 on at the bottom [a part of], and is formed between the high-voltage circuit section and the memory cell array section.

[0116] Thus, since the isolation insulator layers 48 and 49 in the high-voltage circuit section and the memory cell array section were formed more deeply than the isolation insulator layers 5 and 45 in the low-battery section according to the semiconductor integrated circuit concerning the gestalt 8 of this operation, in the high-voltage section treating an electrical potential difference higher than the low-battery section, separation pressure-proofing of the isolation insulator layers 48 and 49 can be raised.

[0117] Gestalt 9. drawing 40 of operation is the sectional view showing typically the configuration of the semiconductor integrated circuit concerning the gestalt 9 of operation of this invention. The high-voltage circuit section and the memory cell array section in a gestalt 8 of the above-mentioned implementation were summarized, and drawing 40 is indicated as the "high-voltage section." Also in the below-mentioned drawing 41 -43, it is the same. In the low-battery section, the channel cut layer 52 is formed in the silicon layer 4 of the part located between the base of the isolation insulator layer 5, and the top face of the BOX layer 3. Moreover, in the high-voltage section, the channel cut layer 51 with high impurity concentration higher than the channel cut layer 52 is formed in the silicon layer 4 of the part located between the base of the isolation insulator layer 5, and the top face of the BOX layer 3.

[0118] Thus, according to the semiconductor integrated circuit concerning the gestalt 9 of this operation, the high impurity concentration of the channel cut layer 51 formed in the high-voltage section can be written more highly than the high impurity concentration of the channel cut layer 52 formed in the low-battery section, and the separation pressure-proofing between components can be raised in the high-voltage section.

[0119] Gestalt 10. drawing 41 -43 of operation are the sectional view showing the structure of the semiconductor integrated circuit concerning the gestalt 10 of operation of this invention. With reference to drawing 41, the transistor is formed in the high-voltage section and the low-battery section of the SOI substrate 1, respectively. Moreover, the channel dope field 54 is formed in the silicon layer 4 in the low-battery section, and the channel dope field 53 where high impurity concentration is higher than the channel dope field 54 is formed in the silicon layer 4 in the high-voltage section.

[0120] With reference to drawing 42, the transistor is formed in the high-voltage section and the low-battery section of the SOI substrate 1, respectively. The thickness of the gate oxide 55 of the transistor currently formed in the high-voltage section is thicker than the thickness of the gate oxide 6 of the transistor currently formed in the low-battery section.

[0121] With reference to drawing 43, the transistor is formed in the high-voltage section and the low-battery section of the SOI substrate 1, respectively. The gate length of the transistor currently formed in the high-voltage section is longer than the gate length of the transistor currently formed in the low-battery section. The structure shown in drawing 41 -43 may be combined and used for arbitration.

[0122] Thus, since the threshold electrical potential difference of the transistor currently formed in the high-voltage section can be set up more highly than the threshold electrical potential difference of the transistor currently formed in the low-battery section according to the semiconductor integrated circuit concerning the gestalt 10 of this operation, the punch-through resistance of a transistor can be raised in the high-voltage section.

[0123] The gestalt 11 of operation of gestalt 11. this invention of operation is aimed at the non-volatile semiconductor memory of structure which arrives at the top face of the BOX layer 3 by both a source field and the drain field as shown in drawing 7. Drawing 44 is the circuit diagram concerning the gestalt 11 of operation of this invention extracting and showing a part of configuration of the memory cell array of a flash memory. Drawing 44 shows only the configuration of a total of nine memory cells for three line x3 train. The memory cell transistor belonging to the same line is connected to the common body line. For example, each memory cell transistor with which memory cells MC11-MC13 are equipped is connected to the body line BDL1 in common.

[0124] Word lines WL1-WL3 are connected to the drive circuits 601-603 of a word line, respectively. Moreover, the body lines BDL1-BDL3 are connected to the drive circuits 611-613 of a body line, respectively. At this time, as shown in drawing 44, as for the drive circuits 601-603 and the drive circuits 611-613, it is desirable to arrange to the opposite side of a substrate on both sides of a memory cell array.

[0125] In a general flash memory, 0V are impressed to Source S, the electrical potential difference of 12V is impressed to Drain D at 5V and the control gate CG, respectively, and data are written in by pouring in a hot electron into the floating gate FG, for example.

[0126] With the gestalt 11 of this operation, in case write-in actuation of data is performed, an electrical potential difference is impressed also to the body lines BDL1-BDL3. Drawing 45 is a timing chart which shows the wave of the word line (WL) driving signal impressed to a word line and a body line, respectively at the time of the writing of data, and a body line (BDL) driving signal. WL driving signal has changed from L level on H level to time of day t1. At this time, it is desirable to drive the body line BDL so that a BDL driving signal may change from L level on H level to the time of day t2 earlier than t1. That is, it is desirable to drive the body line BDL in advance of a word line WL.

[0127] The body line BDL constituted with silicon has high resistance, and its transfer rate of a signal is slower than the word line WL constituted by silicide etc. However, it is avoidable by driving the body line BDL in advance of a word line WL that a BDL driving signal is delayed to WL driving signal.

[0128] Thus, according to the non-volatile semiconductor memory concerning the gestalt 11 of this operation, in case write-in actuation of data is performed, the body line BDL is also driven with a word line WL. Thereby, since a bipolar current can also be passed from the source S of a memory cell transistor to Drain D, improvement in write-in effectiveness can be aimed at. For example, it becomes possible by impressing the electrical potential difference of 0.3V to the body line BDL to lower the electrical potential difference impressed to a word line WL to 10V. Thereby, reduction of power consumption can be aimed at.

[0129] Moreover, since the drive circuits 601-603 and the drive circuits 611-613 are arranged on both sides of the memory cell array in the opposite side of a substrate, they can offset the effect of the voltage drop resulting from each resistance of a word line WL and the body line BDL. Thereby, equalization of a write-in property can be attained about two or more memory cells belonging to the same line.

[0130] In addition, as for the body line BDL which impressed the electrical potential difference of 0V to the non-choosing body line BDL from the drive circuits 611-613, or was chosen as it, it is desirable to impress the electrical potential difference (for example, -0.3V) of reversed polarity. Thereby, generating of poor DISUTABU is avoidable.

[0131]

[Effect of the Invention] According to what starts claim 1 among this invention, the source fields which

adjoin a line writing direction mutually can be mutually connected electrically through a semi-conductor layer, and this can constitute a source line.

[0132] Moreover, since the impurity installation field of the same conductivity type as a source field was formed among the source fields which adjoin a line writing direction mutually, resistance of a source line can also be reduced.

[0133] Moreover, according to what starts claim 2 among this invention, the rise of the body resistance about the direction of a train is avoidable.

[0134] Moreover, body potential is fixable through the semi-conductor layer of the part located in the direction of a train between a source field and an insulating layer among the memory cells which adjoin mutually.

[0135] Moreover, since body potential is fixable through the semi-conductor layer of the part located in the direction of a train between a drain field and an insulating layer about the memory cell transistor which adjoins mutually according to what starts claim 3 among this invention, the fixed capacity of body potential can be heightened.

[0136] Moreover, according to what starts claim 4 among this invention, since the pn junction capacity in the pn junction section of a drain field and a semi-conductor layer can be reduced, about read-out actuation and write-in actuation of data, actuation of a high speed and a low power is maintainable.

[0137] Moreover, since according to what starts claim 5 among this invention a bipolar current can also be passed from the source field of a memory cell transistor to a drain field by driving a body line with a word line in case write-in actuation of data is performed, improvement in write-in effectiveness can be aimed at.

[0138] Moreover, according to what starts claim 6 among this invention, since it is mutually arranged on both sides of the memory cell array section in the opposite side, the 1st drive circuit and the 2nd drive circuit can offset the effect of the voltage drop resulting from each resistance of a word line and a body line. Thereby, equalization of a write-in property can be attained about two or more memory cells belonging to the same line.

[0139] Moreover, according to what starts claim 7 among this invention, the rise of the body resistance about the direction of a train is avoidable.

[0140] Furthermore, body potential is fixable through the semi-conductor layer of the part located in the direction of a train between a source field and an insulating layer among the memory cells which adjoin mutually.

[0141] And since the pn junction capacity in the pn junction section of a drain field and a semi-conductor layer can be reduced, about read-out actuation and write-in actuation of data, actuation of a high speed and a low power is maintainable.

[0142] Moreover, since according to what starts claim 8 among this invention a bipolar current can also be passed from the source field of a memory cell transistor to a drain field by driving a body line with a word line in case write-in actuation of data is performed, improvement in write-in effectiveness can be aimed at.

[0143] Moreover, according to what starts claim 9 among this invention, since it is mutually arranged on both sides of the memory cell array section in the opposite side, the 1st drive circuit and the 2nd drive circuit can offset the effect of the voltage drop resulting from each resistance of a word line and a body line. Thereby, equalization of a write-in property can be attained about two or more memory cells belonging to the same line.

[0144] Moreover, according to what starts claim 10 among this invention, poor DISUTABU is avoidable.

[0145] Moreover, according to what starts claim 11 among this invention, even if it is the case that resistance of a body line is higher than resistance of a word line, it is avoidable that the 2nd driving signal is delayed to the 1st driving signal.

[0146] Moreover, according to what starts claim 12 among this invention, resistance of a source line can be reduced by forming an impurity installation field among the source fields which adjoin a line writing

direction mutually.

[0147] Moreover, according to what starts claim 13 among this invention, in the low-battery section, the fall of the working speed accompanying increase of pn junction capacity and increase of power consumption are avoidable, heightening the fixed capacity of body potential in the memory cell array section.

[0148] Moreover, according to what starts claim 14 among this invention, the depletion layer produced, respectively in the pn junction section of a source field and a drain field or a source field and a drain field, and a semi-conductor layer can be made to reach an insulating layer only in the low-battery section.

[0149] Moreover, according to what starts claim 15 among this invention, the depletion layer produced, respectively in the pn junction section of a source field and a drain field or a source field and a drain field, and a semi-conductor layer can be made to reach an insulating layer only in the low-battery section.

[0150] Moreover, the source field which does not reach an insulating layer in the memory cell array section, and the source field and drain field which reach an insulating layer in the low-battery section can be formed like the same ion grouting.

[0151] Moreover, according to what starts claim 16 among this invention, it can control that the noise generated in the memory cell array section and the low-battery section, respectively spreads each other mutually through a semi-conductor layer, and the semiconductor integrated circuit which cannot be easily influenced of a noise can be obtained.

[0152] Moreover, according to what starts claim 17 among this invention, since the high-voltage section and the low-battery section have been arranged to the opposite side of a substrate on both sides of the memory cell array section, the low-battery section can control being influenced of the noise generated in the high-voltage section which is easy to serve as a generation source of a noise.

[0153] Moreover, according to what starts claim 18 among this invention, the RF circuit which is easy to be influenced of a noise can ease being influenced of the noise generated in the high-voltage section.

[0154] Moreover, according to what starts claim 19 among this invention, by having formed the 1st isolation insulator layer, it can control that the noise generated in each field of the memory cell array section, the low-battery section, and the high-voltage section spreads each other mutually through a semi-conductor layer, and the semiconductor integrated circuit which cannot be easily influenced of a noise can be obtained.

[0155] Moreover, the effect a RF circuit is influenced by the noise generated in other fields other than the RF circuit section can be reduced by having formed the 2nd isolation insulator layer.

[0156] Moreover, according to what starts claim 20 among this invention, in the memory cell array section treating an electrical potential difference higher than the low-battery section, separation pressure-proofing of the 1st isolation insulator layer can be raised.

[0157] Moreover, according to what starts claim 21 among this invention, in the memory cell array section treating an electrical potential difference higher than the low-battery section, separation pressure-proofing of the 1st isolation insulator layer can be raised.

[0158] Moreover, according to what starts claim 22 among this invention, the punch-through resistance of a transistor can be raised in the memory cell array section.

[0159] Moreover, according to what starts claim 23 among this invention, it can control that the noise generated in each field of the memory cell array section, the low-battery section, and the high-voltage section spreads each other mutually through a semi-conductor layer, and the semiconductor integrated circuit which cannot be easily influenced of a noise can be obtained.

[0160] Moreover, according to what starts claim 24 among this invention, the interaction of the noise between the high-voltage section of an adjacent part and the low-battery section can be controlled by forming the 2nd isolation insulator layer with high separation pressure-proofing.

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the structure of a memory cell transistor of the non-volatile semiconductor memory concerning the gestalt 1 of operation of this invention.

[Drawing 2] It is the circuit diagram extracting and showing a part of configuration of a memory cell array of the non-volatile semiconductor memory concerning the gestalt 1 of operation of this invention.

[Drawing 3] It is the plan showing the structure of the non-volatile semiconductor memory concerning the gestalt 1 of operation of this invention.

[Drawing 4] It is the plan showing the structure of the non-volatile semiconductor memory concerning the modification of the gestalt 1 of operation of this invention.

[Drawing 5] It is the sectional view showing the cross-section structure in the location in alignment with the segment X1 shown in drawing 4 .

[Drawing 6] It is the sectional view showing the cross-section structure in the location in alignment with the segment X2 shown in drawing 4 .

[Drawing 7] It is the sectional view showing the cross-section structure in the location in alignment with the segment X3 shown in drawing 4 .

[Drawing 8] It is the sectional view showing the cross-section structure in the location in alignment with the segment X4 shown in drawing 4 .

[Drawing 9] It is the sectional view showing the structure of the non-volatile semiconductor memory concerning the gestalt 2 of operation of this invention.

[Drawing 10] It is the sectional view showing the structure of the non-volatile semiconductor memory concerning the gestalt 2 of operation of this invention.

[Drawing 11] It is the sectional view showing the structure of the non-volatile semiconductor memory concerning the gestalt 3 of operation of this invention.

[Drawing 12] It is the plan showing the structure of the non-volatile semiconductor memory concerning the modification of the gestalt 3 of this operation.

[Drawing 13] It is the sectional view showing the structure of the semiconductor integrated circuit concerning the gestalt 4 of operation of this invention.

[Drawing 14] It is the sectional view showing the structure of the semiconductor integrated circuit concerning the gestalt 5 of operation of this invention.

[Drawing 15] It is the sectional view showing the structure of the semiconductor integrated circuit concerning the gestalt 6 of operation of this invention.

[Drawing 16] It is the sectional view showing the 1st manufacture approach of an isolation insulator layer in order of a process about the semiconductor integrated circuit concerning the gestalt 6 of operation of this invention.

[Drawing 35] It is the plan showing typically the configuration of the semiconductor integrated circuit concerning the gestalt 7 of operation of this invention.

[Drawing 36] It is the sectional view showing typically the cross-section structure of the semiconductor integrated circuit concerning the gestalt 7 of operation of this invention.

[Drawing 37] It is the plan showing typically the configuration of the semiconductor integrated circuit concerning the 1st modification of the gestalt 7 of operation of this invention.

[Drawing 38] It is the plan showing typically the configuration of the semiconductor integrated circuit concerning the 2nd modification of the gestalt 7 of operation of this invention.

[Drawing 39] It is the sectional view showing typically the configuration of the semiconductor integrated circuit concerning the gestalt 8 of operation of this invention.

[Drawing 40] It is the sectional view showing typically the configuration of the semiconductor integrated circuit concerning the gestalt 9 of operation of this invention.

[Drawing 41] It is the sectional view showing the structure of the semiconductor integrated circuit concerning the gestalt 10 of operation of this invention.

[Drawing 42] It is the sectional view showing the structure of the semiconductor integrated circuit concerning the gestalt 10 of operation of this invention.

[Drawing 43] It is the sectional view showing the structure of the semiconductor integrated circuit concerning the gestalt 10 of operation of this invention.

[Drawing 44] It is the circuit diagram extracting and showing a part of configuration of a memory cell array of the non-volatile semiconductor memory concerning the gestalt 11 of operation of this invention.

[Drawing 45] It is the timing chart which shows the wave of the driving signal impressed to a word line and a body line, respectively about the non-volatile semiconductor memory concerning the gestalt 11 of operation of this invention.

[Drawing 46] It is the sectional view showing typically the structure of a memory cell transistor of the flash memory using a bulk substrate.

[Drawing 47] It is the sectional view showing typically the structure of a memory cell transistor of the conventional non-volatile semiconductor memory.

[Drawing 48] It is the circuit diagram extracting and showing a part of configuration of a memory cell array about the conventional non-volatile semiconductor memory.

[Drawing 49] It is the plan showing the structure of the conventional non-volatile semiconductor memory.

[Drawing 50] It is the sectional view showing the cross-section structure in the location in alignment with the segment X100 shown in drawing 49.

[Description of Notations]

1 A SOI substrate, 2 A silicon substrate, 3 A BOX layer, 4 A silicon layer, 5, 15, 16, 35, 46a, 46b, 48, 49 An isolation insulator layer, 70 A body field, 10 An impurity installation field, 12, 14, 36 A source drain field, 40, 41, 47, 50 51 The full separation section, 52 Channel cut layer.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-351995

(P2001-351995A)

(43)公開日 平成13年12月21日(2001.12.21)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)	
H 0 1 L	21/8247	H 0 1 L 27/08	3 3 1 E	5 F 0 0 1
	27/115	27/10	4 6 1	5 F 0 3 8
	27/04		4 8 1	5 F 0 4 8
	21/822		4 9 1	5 F 0 8 3
	21/8234		4 3 4	5 F 1 1 0
審査請求 未請求 請求項の数24 O L (全 26 頁) 最終頁に続く				

(21)出願番号 特願2000-171793(P2000-171793)

(22)出願日 平成12年6月8日(2000.6.8)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 前田 茂伸

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 國清 辰也

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100089233

弁理士 吉田 茂明 (外2名)

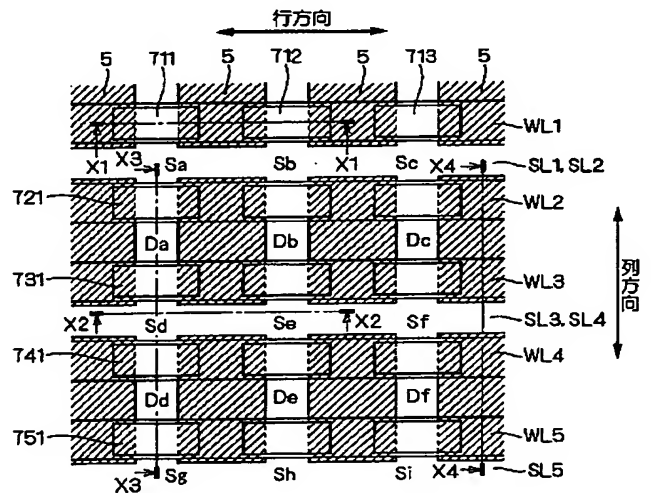
最終頁に続く

(54)【発明の名称】 不揮発性半導体記憶装置及び半導体集積回路

(57)【要約】

【課題】 寄生バイポーラトランジスタの駆動に起因する誤動作が生じることのない不揮発性半導体記憶装置を得る。

【解決手段】 同一行に属する全てのソース領域は、部分分離型の素子分離絶縁膜5の底面とBOX層3の上面との間に位置する部分のシリコン層4を介して、互いに電氣的に接続されている。これにより、行方向に延在する帯状のソース線SL1~SL5が構成されている。行方向に互いに隣接するソース領域同士(例えばソース領域Saとソース領域Sb)の間の素子分離絶縁膜5は除去されており、素子分離絶縁膜5の除去により露出した部分のシリコン層4内には、ソース領域と導電型が等しい不純物導入領域10が形成されている。



BEST AVAILABLE COPY

(2)

【特許請求の範囲】

【請求項1】 半導体基板、絶縁層、及び半導体層がこの順に積層されたSOI基板と、
それぞれが、互いに離間して前記半導体層の主面内に形成されたソース領域及びドレイン領域、前記ソース領域と前記ドレイン領域とに挟まれる部分のボディ領域上に絶縁膜を介して形成された第1のゲート電極、及び、前記第1のゲート電極上に絶縁膜を介して形成された第2のゲート電極を有する、行列状に配置された複数のメモリセルトランジスタと、

前記半導体層の前記主面内において、前記メモリセルトランジスタの前記ソース領域と前記ドレイン領域とが並ぶ方向に垂直な行方向に互いに隣接する前記メモリセルトランジスタ同士の間形成された、前記絶縁層に達しない底面を有する素子分離絶縁膜と、

前記半導体層内において、前記行方向に互いに隣接する前記メモリセルトランジスタがそれぞれ有する前記ソース領域同士の間形成され、前記ソース領域と同一導電型の不純物導入領域とを備える不揮発性半導体記憶装置。

【請求項2】 前記ソース領域、あるいは前記ソース領域と前記半導体層とのpn接合部に生じる空乏層は、前記絶縁層に到達しない、請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記ドレイン領域、あるいは前記ドレイン領域と前記半導体層とのpn接合部に生じる空乏層は、前記絶縁層に到達しない、請求項2に記載の不揮発性半導体記憶装置。

【請求項4】 前記ドレイン領域、あるいは前記ドレイン領域と前記半導体層とのpn接合部に生じる空乏層は、前記絶縁層に到達する、請求項2に記載の不揮発性半導体記憶装置。

【請求項5】 前記ソース領域及び前記ドレイン領域、あるいは前記ソース領域及び前記ドレイン領域と前記半導体層とのpn接合部にそれぞれ生じる空乏層は、いずれも前記絶縁層に到達し、

前記不揮発性半導体記憶装置は、

同一の行に属する複数の前記メモリセルトランジスタがそれぞれ有する前記第2のゲート電極に共通して接続されたワード線と、

同一の行に属する複数の前記メモリセルトランジスタがそれぞれ有する前記ボディ領域を繋ぐボディ線と、

前記ワード線に接続され、前記ワード線に第1の駆動信号を供給する第1の駆動回路と、

前記ボディ線に接続され、前記ボディ線に第2の駆動信号を供給する第2の駆動回路とをさらに備える、請求項1に記載の不揮発性半導体記憶装置。

【請求項6】 前記第1及び第2の駆動回路は、前記メモリセルトランジスタをそれぞれ含む複数のメモリセルが配置されたメモリセルアレイ部を挟んで、互いに反対

2

側に配置されている、請求項5に記載の不揮発性半導体記憶装置。

【請求項7】 半導体基板、絶縁層、及び半導体層がこの順に積層されたSOI基板と、

それぞれが、互いに離間して前記半導体層の主面内に形成されたソース領域及びドレイン領域、前記ソース領域と前記ドレイン領域とに挟まれる部分のボディ領域上に絶縁膜を介して形成された第1のゲート電極、及び、前記第1のゲート電極上に絶縁膜を介して形成されたコントロールゲートを有する、行列状に配置された複数のメモリセルトランジスタと、

前記半導体層の前記主面内において、前記メモリセルトランジスタの前記ソース領域と前記ドレイン領域とが並ぶ方向に垂直な行方向に互いに隣接する前記メモリセルトランジスタ同士の間形成され、前記絶縁層に達しない底面を有する素子分離絶縁膜とを備え、

前記ソース領域、あるいは前記ソース領域と前記半導体層とのpn接合部に生じる空乏層は、前記絶縁層に到達せず、

前記ドレイン領域、あるいは前記ドレイン領域と前記半導体層とのpn接合部に生じる空乏層は、前記絶縁層に到達することを特徴とする不揮発性半導体記憶装置。

【請求項8】 半導体基板、絶縁層、及び半導体層がこの順に積層されたSOI基板と、

それぞれが、互いに離間して前記半導体層の主面内に形成されたソース領域及びドレイン領域、前記ソース領域と前記ドレイン領域とに挟まれる部分のボディ領域上に絶縁膜を介して形成された第1のゲート電極、及び、前記第1のゲート電極上に絶縁膜を介して形成された第2のゲート電極を有する、行列状に配置された複数のメモリセルトランジスタと、

前記半導体層の主面内において、前記メモリセルトランジスタの前記ソース領域と前記ドレイン領域とが並ぶ方向に垂直な行方向に互いに隣接する前記メモリセルトランジスタ同士の間形成され、前記絶縁層に達しない底面を有する素子分離絶縁膜と、

同一の行に属する複数の前記メモリセルトランジスタがそれぞれ有する前記第2のゲート電極に共通して接続されたワード線と、

同一の行に属する複数の前記メモリセルトランジスタがそれぞれ有する前記ボディ領域を繋ぐボディ線と、

前記ワード線に接続され、前記ワード線に第1の駆動信号を供給する第1の駆動回路と、

前記ボディ線に接続され、前記ボディ線に第2の駆動信号を供給する第2の駆動回路とを備え、

前記ソース領域及び前記ドレイン領域、あるいは前記ソース領域及び前記ドレイン領域と前記半導体層とのpn接合部にそれぞれ生じる空乏層は、いずれも前記絶縁層に到達する不揮発性半導体記憶装置。

【請求項9】 前記第1及び第2の駆動回路は、前記メ

(3)

3

メモリセルトランジスタをそれぞれ含む複数のメモリセルが配置されたメモリセルアレイ部を挟んで、互いに反対側に配置されている、請求項 8 に記載の不揮発性半導体記憶装置。

【請求項 10】 前記第 2 の駆動回路は、データの読み出し時に選択された前記ボディ線に対しては、前記第 2 の駆動信号として第 1 の電位を供給し、非選択の前記ボディ線に対しては、前記第 2 の駆動信号として、接地電位あるいは前記第 1 の電位と逆極性の第 2 の電位を供給する、請求項 5, 6, 8, 9 のいずれか一つに記載の不揮発性半導体記憶装置。

【請求項 11】 前記第 2 の駆動回路は、前記第 1 の駆動回路が前記ワード線に前記第 1 の駆動信号を供給するに先立って、前記ボディ線に前記第 2 の駆動信号を供給する、請求項 5, 6, 8 ~ 10 のいずれか一つに記載の不揮発性半導体記憶装置。

【請求項 12】 前記半導体層内において、前記行方向に互いに隣接する前記メモリセルトランジスタがそれぞれ有する前記ソース領域同士の間形成され、前記ソース領域と同一導電型の不純物導入領域をさらに備える、請求項 7 ~ 11 のいずれか一つに記載の不揮発性半導体記憶装置。

【請求項 13】 半導体基板、絶縁層、及び半導体層がこの順に積層された S O I 基板と、前記 S O I 基板のメモリセルアレイ部に形成された、複数のメモリセルトランジスタと、前記 S O I 基板の低電圧部に形成され、前記メモリセルトランジスタの駆動電圧よりも低い電圧で駆動される複数の低電圧トランジスタとを備え、前記メモリセルトランジスタ及び前記低電圧トランジスタは、互いに離間して前記半導体層内に形成されたソース領域及びドレイン領域をそれぞれ有し、前記メモリセルトランジスタの、前記ソース領域、あるいは前記ソース領域と前記半導体層との p n 接合部に生じる空乏層は、前記絶縁層に到達せず、前記低電圧トランジスタの、前記ソース領域及び前記ドレイン領域、あるいは前記ソース領域及び前記ドレイン領域と前記半導体層との p n 接合部にそれぞれ生じる空乏層は、前記絶縁層に到達する半導体集積回路。

【請求項 14】 前記半導体層の主面から、前記低電圧トランジスタの前記ソース領域及び前記ドレイン領域の底面までの深さは、前記半導体層の前記主面から、前記メモリセルトランジスタの前記ソース領域の底面までの深さよりも深い、請求項 13 に記載の半導体集積回路。

【請求項 15】 前記低電圧部における前記半導体層の膜厚は、前記メモリセルアレイ部における前記半導体層の膜厚よりも薄い、請求項 13 に記載の半導体集積回路。

【請求項 16】 前記半導体層内において、前記メモリセルアレイ部と前記低電圧部との境界部分に形成され、

4

底面が前記絶縁層に達する素子分離絶縁膜をさらに備える、請求項 13 ~ 15 のいずれか一つに記載の半導体集積回路。

【請求項 17】 複数のメモリセルトランジスタが形成されたメモリセルアレイ部と、

前記メモリセルトランジスタよりも低い電圧で駆動される複数の低電圧トランジスタが形成された低電圧部と、前記低電圧トランジスタよりも高い電圧で駆動される複数の高電圧トランジスタが形成された高電圧部とを有する基板を備え、

前記高電圧部及び前記低電圧部は、前記メモリセルアレイ部を挟んで配置されていることを特徴とする半導体集積回路。

【請求項 18】 前記低電圧部は、複数の回路ブロックに分割されており、

高周波回路が形成された高周波回路部は、前記高電圧部から最も遠い箇所に配置された前記回路ブロック内に設けられている、請求項 17 に記載の半導体集積回路。

【請求項 19】 前記基板は、半導体基板、絶縁層、及び半導体層がこの順に積層された S O I 基板であり、前記半導体集積回路は、

前記半導体層内において、前記メモリセルアレイ部、前記低電圧部、及び前記高電圧部の各境界部分に形成された、前記絶縁層に達する底面を有する第 1 の素子分離絶縁膜と、

前記半導体層内において前記高周波回路部と他の領域との境界部分に形成され、前記絶縁層に達する底面を有し、前記第 1 の素子分離絶縁膜よりも幅広の第 2 の素子分離絶縁膜とをさらに備える、請求項 18 に記載の半導体集積回路。

【請求項 20】 前記基板は、半導体基板、絶縁層、及び半導体層がこの順に積層された S O I 基板であり、前記半導体集積回路は、

前記半導体層の主面内において、互いに隣接する前記メモリセルトランジスタ同士の間形成された、前記絶縁層に達しない底面を有する第 1 の素子分離絶縁膜と、前記半導体層の前記主面内において、互いに隣接する前記低電圧トランジスタ同士の間形成され、前記絶縁層に達しない底面を有する第 2 の素子分離絶縁膜とをさらに備え、

前記半導体層の前記主面から前記第 1 の素子分離絶縁膜の前記底面までの深さは、前記半導体層の前記主面から前記第 2 の素子分離絶縁膜の前記底面までの深さよりも深いことを特徴とする、請求項 17 に記載の半導体集積回路。

【請求項 21】 前記基板は、半導体基板、絶縁層、及び半導体層がこの順に積層された S O I 基板であり、前記半導体集積回路は、

前記半導体層の主面内において、互いに隣接する前記メモリセルトランジスタ同士の間形成され、底面に隣接

50

(4)

5

して第1のチャネルカット層が形成された第1の素子分離絶縁膜と、

前記半導体層の前記主面内において、互いに隣接する前記低電圧トランジスタ同士の間形成され、底面に隣接して第2のチャネルカット層が形成された第2の素子分離絶縁膜とをさらに備え、

前記第1のチャネルカット層の不純物濃度は、前記第2のチャネルカット層の不純物濃度よりも高いことを特徴とする、請求項17に記載の半導体集積回路。

【請求項22】 前記メモリセルトランジスタのしきい値電圧は、前記低電圧トランジスタのしきい値電圧よりも高いことを特徴とする、請求項17に記載の半導体集積回路。

【請求項23】 半導体基板、絶縁層、及び半導体層がこの順に積層され、

複数のメモリセルトランジスタが形成されたメモリセルアレイ部と、

前記メモリセルトランジスタよりも低い電圧で駆動される複数の低電圧トランジスタが形成された低電圧部と、前記低電圧トランジスタよりも高い電圧で駆動される複数の高電圧トランジスタが形成された高電圧部とを有するSOI基板と、

前記半導体層内において、前記メモリセルアレイ部、前記低電圧部、及び前記高電圧部の各境界部分に形成された、底面が前記絶縁層に達する第1の素子分離絶縁膜とを備える半導体集積回路。

【請求項24】 前記高電圧部は、前記低電圧部に隣接する部分を一部に有し、

前記半導体集積回路は、前記部分における前記半導体層内に形成され、前記絶縁層に達する底面を有し、前記第1の素子分離絶縁膜よりも幅広の第2の素子分離絶縁膜をさらに備える、請求項23に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、不揮発性半導体記憶装置の構造、特に、SOI (Silicon On Insulator) 基板を用いたフラッシュメモリの構造に関するものである。また、この発明は、上記不揮発性半導体記憶装置が形成された、LSI等の半導体集積回路の構造に関するものである。

【0002】

【従来の技術】図46は、バルク基板(SOI基板ではない通常の半導体基板を意味する)を用いたフラッシュメモリの、メモリセルトランジスタの構造を模式的に示す断面図である。シリコン基板101の上面内に、対を成すソース領域102s及びドレイン領域102dが、互いに離間して形成されている。ソース領域102sとドレイン領域102dとによって挟まれる部分のシリコン基板101の上面上には、ゲート酸化膜103、フローティングゲート104、絶縁膜105、及びコントロ

6

ールゲート106がこの順に積層された積層構造が形成されており、該積層構造の側面には、絶縁膜から成るサイドウォール107が形成されている。

【0003】データの書き込み動作においては、例えばソース領域102sに接地電位を印加した状態で、ドレイン領域102d及びコントロールゲート106に高電圧を印加する。これにより、チャネル領域及びドレイン領域102dの近傍の高電界領域で発生したホットエレクトロンが、フローティングゲート104内に注入される。

【0004】図47は、SOI基板を用いたフラッシュメモリの、メモリセルトランジスタの構造を模式的に示す断面図である。SOI基板108は、シリコン基板109、BOX (Buried OXide) 層110、及びシリコン層111がこの順に積層された積層構造を成している。シリコン層111内には、シリコン層111の上面からBOX層110の上面に達する、完全分離型の素子分離絶縁膜112が、選択的に形成されている。素子分離絶縁膜112によって規定される素子形成領域内には、対を成すソース領域102s及びドレイン領域102dが、互いに離間して形成されている。ソース領域102s及びドレイン領域102dの底面は、BOX層110の上面に達している。

【0005】また、ボディ領域、即ち、ソース領域102sとドレイン領域102dとによって挟まれる部分のシリコン層111の上面上には、ゲート酸化膜103、フローティングゲート104、絶縁膜105、及びコントロールゲート106がこの順に積層された積層構造が形成されており、該積層構造の側面には、絶縁膜から成るサイドウォール107が形成されている。

【0006】図48は、フラッシュメモリのメモリセルアレイの構成の一部を抜き出して示す回路図である。図48では、5行×3列分の、合計15個のメモリセルの構成のみを示している。各メモリセルは、図47に示したメモリセルトランジスタをそれぞれ備えている。同一行に属するメモリセルに関しては、各メモリセルトランジスタのコントロールゲートCGが、共通のワード線に接続されている。例えば、メモリセルMC11～MC13が備える各メモリセルトランジスタのコントロールゲートCGは、ワード線WL101に共通に接続されている。

【0007】また、同一行に属するメモリセルに関して、各メモリセルトランジスタのソースSは、共通のソース線に接続されている。例えば、メモリセルMC11～MC13が備える各メモリセルトランジスタのソースSは、ソース線SL101に共通に接続されている。また、各行のソース線SL101～SL105は、共通のソース線SL100に接続されている。

【0008】また、同一列に属するメモリセルに関しては、各メモリセルトランジスタのドレインDが、共通の

50

(5)

7

ビット線に接続されている。例えば、メモリセルMC11～MC51が備える各メモリセルトランジスタのドレインDは、ビット線BL101に共通に接続されている。

【0009】図49は、図48に示したメモリセルアレイの構成を有する、従来の不揮発性半導体記憶装置の構造を示す上面図である。但し図49では、フローティングゲート、ワード線（コントロールゲートを兼ねている）、ソース線、及び素子分離絶縁膜の配置関係を模式的に示している。例えば、図49に示したフローティングゲート411、412、421は、図48に示したメモリセルMC11、MC12、MC21がそれぞれ備えるメモリセルトランジスタの各フローティングゲートFGに対応する。

【0010】また、例えば、図49に示したソース領域Saは、図48に示したメモリセルMC11、MC21がそれぞれ備えるメモリセルトランジスタの各ソースSに対応し、図49に示したソース領域Sdは、図48に示したメモリセルMC31、MC41がそれぞれ備えるメモリセルトランジスタの各ソースSに対応する。

【0011】また、例えば、図49に示したドレイン領域Daは、図48に示したメモリセルMC21、MC31がそれぞれ備えるメモリセルトランジスタの各ドレインDに対応し、図49に示したドレイン領域Ddは、図48に示したメモリセルMC41、MC51がそれぞれ備えるメモリセルトランジスタの各ドレインDに対応する。

【0012】図49を参照して、ソース線SL101、SL102はソース領域Sa～Scを含み、ソース線SL103、SL104はソース領域Sd～Sfを含み、ソース線SL105はソース領域Sg～Siを含む。ソース線SL101～SL105は、素子分離絶縁膜112が形成されていない領域を各行間に設けることによって形成される。

【0013】図50は、図49に示した線分X100に沿った位置における断面構造を示す断面図である。ソース領域Saとソース領域Sbとは、完全分離型の素子分離絶縁膜112によって、互いに分離されている。

【0014】

【発明が解決しようとする課題】しかし、このような従来の不揮発性半導体記憶装置には、以下のような問題があった。図47を参照して、この問題を説明する。上記の通り、データの書き込み動作においては、ソース領域102sに接地電位を印加した状態で、ドレイン領域102d及びコントロールゲート106に高電圧を印加する。このとき、衝突イオン化現象によって、チャンネル領域及びドレイン領域102dの近傍に多数の電子-正孔対が発生する。

【0015】SOI基板を用いた従来の不揮発性半導体記憶装置においては、ボディ領域は電氣的にフローティ

8

ングな状態であるため、正孔はボディ領域内に蓄積される。そのため、ボディ電位が上昇することによって、ソース領域102s、ドレイン領域102d、及びボディ領域から成る寄生バイポーラトランジスタが駆動し、その結果、ソース領域102sからドレイン領域102dに向かって寄生バイポーラ電流が流れて、誤動作が生じる。このように従来の不揮発性半導体記憶装置によると、ボディ領域が電氣的にフローティングな状態であることに起因して、ボディ領域内に正孔が蓄積されることによって寄生バイポーラトランジスタが駆動して、誤動作が生じるという問題があった。

【0016】本発明は、かかる問題を解決するために成されたものであり、ボディ領域内に正孔が蓄積されることを回避することにより、寄生バイポーラトランジスタの駆動に起因する誤動作が生じることのない不揮発性半導体記憶装置を得ることを主な目的とするものである。

【0017】

【課題を解決するための手段】この発明のうち請求項1に記載の不揮発性半導体記憶装置は、半導体基板、絶縁層、及び半導体層がこの順に積層されたSOI基板と、それぞれが、互いに離間して半導体層の主面内に形成されたソース領域及びドレイン領域、ソース領域とドレイン領域とに挟まれる部分のボディ領域上に絶縁膜を介して形成された第1のゲート電極、及び、第1のゲート電極上に絶縁膜を介して形成された第2のゲート電極を有する、行列状に配置された複数のメモリセルトランジスタと、半導体層の主面内において、メモリセルトランジスタのソース領域とドレイン領域とが並ぶ方向に垂直な行方向に互いに隣接するメモリセルトランジスタ同士の間に形成された、絶縁層に達しない底面を有する素子分離絶縁膜と、半導体層内において、行方向に互いに隣接するメモリセルトランジスタがそれぞれ有するソース領域同士の間に形成され、ソース領域と同一導電型の不純物導入領域とを備えるものである。

【0018】また、この発明のうち請求項2に記載の不揮発性半導体記憶装置は、請求項1に記載の不揮発性半導体記憶装置であって、ソース領域、あるいはソース領域と半導体層とのpn接合部に生じる空乏層は、絶縁層に到達しないことを特徴とするものである。

【0019】また、この発明のうち請求項3に記載の不揮発性半導体記憶装置は、請求項2に記載の不揮発性半導体記憶装置であって、ドレイン領域、あるいはドレイン領域と半導体層とのpn接合部に生じる空乏層は、絶縁層に到達しないことを特徴とするものである。

【0020】また、この発明のうち請求項4に記載の不揮発性半導体記憶装置は、請求項2に記載の不揮発性半導体記憶装置であって、ドレイン領域、あるいはドレイン領域と半導体層とのpn接合部に生じる空乏層は、絶縁層に到達することを特徴とするものである。

【0021】また、この発明のうち請求項5に記載の不

(6)

9

揮発性半導体記憶装置は、請求項1に記載の不揮発性半導体記憶装置であって、ソース領域及びドレイン領域、あるいはソース領域及びドレイン領域と半導体層とのpn接合部にそれぞれ生じる空乏層は、いずれも絶縁層に到達し、不揮発性半導体記憶装置は、同一の行に属する複数のメモリセルトランジスタがそれぞれ有する第2のゲート電極に共通して接続されたワード線と、同一の行に属する複数のメモリセルトランジスタがそれぞれ有するボディ領域を繋ぐボディ線と、ワード線に接続され、ワード線に第1の駆動信号を供給する第1の駆動回路と、ボディ線に接続され、ボディ線に第2の駆動信号を供給する第2の駆動回路とをさらに備えることを特徴とするものである。

【0022】また、この発明のうち請求項6に記載の不揮発性半導体記憶装置は、請求項5に記載の不揮発性半導体記憶装置であって、第1及び第2の駆動回路は、メモリセルトランジスタをそれぞれ含む複数のメモリセルが配置されたメモリセルアレイ部を挟んで、互いに反対側に配置されていることを特徴とするものである。

【0023】また、この発明のうち請求項7に記載の不揮発性半導体記憶装置は、半導体基板、絶縁層、及び半導体層がこの順に積層されたSOI基板と、それぞれが、互いに離間して半導体層の主面内に形成されたソース領域及びドレイン領域、ソース領域とドレイン領域とに挟まれる部分のボディ領域上に絶縁膜を介して形成された第1のゲート電極、及び、第1のゲート電極上に絶縁膜を介して形成されたコントロールゲートを有する、行列状に配置された複数のメモリセルトランジスタと、半導体層の主面内において、メモリセルトランジスタのソース領域とドレイン領域とが並ぶ方向に垂直な行方向に互いに隣接するメモリセルトランジスタ同士の間形成され、絶縁層に達しない底面を有する素子分離絶縁膜とを備え、ソース領域、あるいはソース領域と半導体層とのpn接合部に生じる空乏層は、絶縁層に到達せず、ドレイン領域、あるいはドレイン領域と半導体層とのpn接合部に生じる空乏層は、絶縁層に到達することを特徴とするものである。

【0024】また、この発明のうち請求項8に記載の不揮発性半導体記憶装置は、半導体基板、絶縁層、及び半導体層がこの順に積層されたSOI基板と、それぞれが、互いに離間して半導体層の主面内に形成されたソース領域及びドレイン領域、ソース領域とドレイン領域とに挟まれる部分のボディ領域上に絶縁膜を介して形成された第1のゲート電極、及び、第1のゲート電極上に絶縁膜を介して形成された第2のゲート電極を有する、行列状に配置された複数のメモリセルトランジスタと、半導体層の主面内において、メモリセルトランジスタのソース領域とドレイン領域とが並ぶ方向に垂直な行方向に互いに隣接するメモリセルトランジスタ同士の間形成され、絶縁層に達しない底面を有する素子分離絶縁膜

10

と、同一の行に属する複数のメモリセルトランジスタがそれぞれ有する第2のゲート電極に共通して接続されたワード線と、同一の行に属する複数のメモリセルトランジスタがそれぞれ有するボディ領域を繋ぐボディ線と、ワード線に接続され、ワード線に第1の駆動信号を供給する第1の駆動回路と、ボディ線に接続され、ボディ線に第2の駆動信号を供給する第2の駆動回路とを備え、ソース領域及びドレイン領域、あるいはソース領域及びドレイン領域と半導体層とのpn接合部にそれぞれ生じる空乏層は、いずれも絶縁層に到達するものである。

【0025】また、この発明のうち請求項9に記載の不揮発性半導体記憶装置は、請求項8に記載の不揮発性半導体記憶装置であって、第1及び第2の駆動回路は、メモリセルトランジスタをそれぞれ含む複数のメモリセルが配置されたメモリセルアレイ部を挟んで、互いに反対側に配置されていることを特徴とするものである。

【0026】また、この発明のうち請求項10に記載の不揮発性半導体記憶装置は、請求項5、6、8、9のいずれか一つに記載の不揮発性半導体記憶装置であって、第2の駆動回路は、データの読み出し時に選択されたボディ線に対しては、第2の駆動信号として第1の電位を供給し、非選択のボディ線に対しては、第2の駆動信号として、接地電位あるいは第1の電位と逆極性の第2の電位を供給することを特徴とするものである。

【0027】また、この発明のうち請求項11に記載の不揮発性半導体記憶装置は、請求項5、6、8～10のいずれか一つに記載の不揮発性半導体記憶装置であって、第2の駆動回路は、第1の駆動回路がワード線に第1の駆動信号を供給するに先立って、ボディ線に第2の駆動信号を供給することを特徴とするものである。

【0028】また、この発明のうち請求項12に記載の不揮発性半導体記憶装置は、請求項7～11のいずれか一つに記載の不揮発性半導体記憶装置であって、半導体層内において、行方向に互いに隣接するメモリセルトランジスタがそれぞれ有するソース領域同士の間形成され、ソース領域と同一導電型の不純物導入領域をさらに備えることを特徴とするものである。

【0029】また、この発明のうち請求項13に記載の半導体集積回路は、半導体基板、絶縁層、及び半導体層がこの順に積層されたSOI基板と、SOI基板のメモリセルアレイ部に形成された、複数のメモリセルトランジスタと、SOI基板の低電圧部に形成され、メモリセルトランジスタの駆動電圧よりも低い電圧で駆動される複数の低電圧トランジスタとを備え、メモリセルトランジスタ及び低電圧トランジスタは、互いに離間して半導体層内に形成されたソース領域及びドレイン領域をそれぞれ有し、メモリセルトランジスタの、ソース領域、あるいはソース領域と半導体層とのpn接合部に生じる空乏層は、絶縁層に到達せず、低電圧トランジスタの、ソース領域及びドレイン領域、あるいはソース領域及びド

(7)

11

レーン領域と半導体層とのpn接合部にそれぞれ生じる空乏層は、絶縁層に到達するものである。

【0030】また、この発明のうち請求項14に記載の半導体集積回路は、請求項13に記載の半導体集積回路であって、半導体層の主面から、低電圧トランジスタのソース領域及びドレイン領域の底面までの深さは、半導体層の主面から、メモリセルトランジスタのソース領域の底面までの深さよりも深いことを特徴とするものである。

【0031】また、この発明のうち請求項15に記載の半導体集積回路は、請求項13に記載の半導体集積回路であって、低電圧部における半導体層の膜厚は、メモリセルアレイ部における半導体層の膜厚よりも薄いことを特徴とするものである。

【0032】また、この発明のうち請求項16に記載の半導体集積回路は、請求項13～15のいずれか一つに記載の半導体集積回路であって、半導体層内において、メモリセルアレイ部と低電圧部との境界部分に形成され、底面が絶縁層に達する素子分離絶縁膜をさらに備えることを特徴とするものである。

【0033】また、この発明のうち請求項17に記載の半導体集積回路は、複数のメモリセルトランジスタが形成されたメモリセルアレイ部と、メモリセルトランジスタよりも低い電圧で駆動される複数の低電圧トランジスタが形成された低電圧部と、低電圧トランジスタよりも高い電圧で駆動される複数の高電圧トランジスタが形成された高電圧部とを有する基板を備え、高電圧部及び低電圧部は、メモリセルアレイ部を挟んで配置されていることを特徴とするものである。

【0034】また、この発明のうち請求項18に記載の半導体集積回路は、請求項17に記載の半導体集積回路であって、低電圧部は、複数の回路ブロックに分割されており、高周波回路が形成された高周波回路部は、高電圧部から最も遠い箇所に配置された回路ブロック内に設けられていることを特徴とするものである。

【0035】また、この発明のうち請求項19に記載の半導体集積回路は、請求項18に記載の半導体集積回路であって、基板は、半導体基板、絶縁層、及び半導体層がこの順に積層されたSOI基板であり、半導体集積回路は、半導体層内において、メモリセルアレイ部、低電圧部、及び高電圧部の各境界部分に形成された、絶縁層に達する底面を有する第1の素子分離絶縁膜と、半導体層内において高周波回路部と他の領域との境界部分に形成され、絶縁層に達する底面を有し、第1の素子分離絶縁膜よりも幅広の第2の素子分離絶縁膜とをさらに備えることを特徴とするものである。

【0036】また、この発明のうち請求項20に記載の半導体集積回路は、請求項17に記載の半導体集積回路であって、基板は、半導体基板、絶縁層、及び半導体層がこの順に積層されたSOI基板であり、半導体集積回

12

路は、半導体層の主面内において、互いに隣接するメモリセルトランジスタ同士の間形成された、絶縁層に達しない底面を有する第1の素子分離絶縁膜と、半導体層の主面内において、互いに隣接する低電圧トランジスタ同士の間形成され、絶縁層に達しない底面を有する第2の素子分離絶縁膜とをさらに備え、半導体層の主面から第1の素子分離絶縁膜の底面までの深さは、半導体層の主面から第2の素子分離絶縁膜の底面までの深さよりも深いことを特徴とするものである。

【0037】また、この発明のうち請求項21に記載の半導体集積回路は、請求項17に記載の半導体集積回路であって、基板は、半導体基板、絶縁層、及び半導体層がこの順に積層されたSOI基板であり、半導体集積回路は、半導体層の主面内において、互いに隣接するメモリセルトランジスタ同士の間形成され、底面に隣接して第1のチャネルカット層が形成された第1の素子分離絶縁膜と、半導体層の主面内において、互いに隣接する低電圧トランジスタ同士の間形成され、底面に隣接して第2のチャネルカット層が形成された第2の素子分離絶縁膜とをさらに備え、第1のチャネルカット層の不純物濃度は、第2のチャネルカット層の不純物濃度よりも高いことを特徴とするものである。

【0038】また、この発明のうち請求項22に記載の半導体集積回路は、請求項17に記載の半導体集積回路であって、メモリセルトランジスタのしきい値電圧は、低電圧トランジスタのしきい値電圧よりも高いことを特徴とするものである。

【0039】また、この発明のうち請求項23に記載の半導体集積回路は、半導体基板、絶縁層、及び半導体層がこの順に積層され、複数のメモリセルトランジスタが形成されたメモリセルアレイ部と、メモリセルトランジスタよりも低い電圧で駆動される複数の低電圧トランジスタが形成された低電圧部と、低電圧トランジスタよりも高い電圧で駆動される複数の高電圧トランジスタが形成された高電圧部とを有するSOI基板と、半導体層内において、メモリセルアレイ部、低電圧部、及び高電圧部の各境界部分に形成された、底面が絶縁層に達する第1の素子分離絶縁膜とを備えるものである。

【0040】また、この発明のうち請求項24に記載の半導体集積回路は、請求項23に記載の半導体集積回路であって、高電圧部は、低電圧部に隣接する部分を一部に有し、半導体集積回路は、部分における半導体層内に形成され、絶縁層に達する底面を有し、第1の素子分離絶縁膜よりも幅広の第2の素子分離絶縁膜をさらに備えることを特徴とするものである。

【0041】

【発明の実施の形態】実施の形態1. 図1は、本発明の実施の形態1に係るフラッシュメモリの、メモリセルトランジスタの構造を示す断面図である。SOI基板1は、シリコン基板2、BOX層3、及びシリコン層4が

50

(8)

13

この順に積層された積層構造を成している。シリコン層4の上面内には、底面がBOX層3の上面に達しない、部分トレンチ分離型（以下、単に「部分分離型」と称する）の素子分離絶縁膜5が、選択的に形成されている。また、素子分離絶縁膜5によって規定される素子形成領域において、シリコン層4の上面内には、ボディ領域70を挟んで対を成すソース領域及びドレイン領域（図1には現れない）が形成されている。また、ボディ領域70が形成されている部分のシリコン層4の上面上には、ゲート酸化膜6、フローティングゲート7、絶縁膜8、及びコントロールゲート9がこの順に積層された積層構造が形成されている。該積層構造の側面に、絶縁膜から成るサイドウォール11（図1には現れない）が形成されることにより、ゲート電極構造が構成される。

【0042】このように、互いに隣接するメモリセル同士を分離するための素子分離絶縁膜として、完全分離型の素子分離絶縁膜ではなく、部分分離型の素子分離絶縁膜5を採用することにより、素子分離絶縁膜5の底面とBOX層3の上面との間に位置する部分のシリコン層4を介して、ボディ領域70の電位を外部から固定することができる。従って、ボディ領域70内に正孔が蓄積されることに起因する上記誤動作を回避することができる。その結果、高電圧を用いてデータの書き込み動作及び読み出し動作を実行し得るメモリセルトランジスタを得ることができる。

【0043】また、メモリセルが形成されているメモリセルアレイ部のみならず、センスアンプ等の周辺回路が形成されている周辺回路部においても、部分分離型の素子分離絶縁膜5を採用することにより、同様にソースドレイン間の耐圧を高めることができる。

【0044】図2は、フラッシュメモリのメモリセルアレイの構成の一部を抜き出して示す回路図である。図2では、5行×3列分の、合計15個のメモリセルの構成のみを示している。ここで、メモリセルアレイの「行」とは、後述の図3を参照してメモリセルトランジスタのソース領域とドレイン領域とが並ぶ方向に垂直な方向を「行方向」と規定した場合の「行」を意味する。また、メモリセルアレイの「列」とは、後述の図3を参照してメモリセルトランジスタのソース領域とドレイン領域とが並ぶ方向を「列方向」と規定した場合の「列」を意味する。各メモリセルは、図1に示したメモリセルトランジスタをそれぞれ備えている。同一行に属するメモリセルに関しては、各メモリセルトランジスタのコントロールゲートCGが、共通のワード線に接続されている。例えば、メモリセルMC11～MC13が備える各メモリセルトランジスタのコントロールゲートCGは、ワード線WL1に共通に接続されている。

【0045】また、同一行に属するメモリセルに関して、各メモリセルトランジスタのソースSは、共通のソ

14

ース線に接続されている。例えば、メモリセルMC11～MC13が備える各メモリセルトランジスタのソースSは、ソース線SL1に共通に接続されている。また、各行のソース線SL1～SL5は、共通のソース線SL0に接続されている。

【0046】また、同一列に属するメモリセルに関しては、各メモリセルトランジスタのドレインDが、共通のビット線に接続されている。例えば、メモリセルMC11～MC51が備える各メモリセルトランジスタのドレインDは、ビット線BL1に共通に接続されている。

【0047】図3は、図2に示したメモリセルアレイの構成を有する、本実施の形態1に係る不揮発性半導体記憶装置の構造を示す上面図である。但し図3では、フローティングゲート、ワード線（コントロールゲートを兼ねている）、ソース線、及び素子分離絶縁膜の配置関係を模式的に示している。例えば、図3に示したフローティングゲート711、712、721は、図2に示したメモリセルMC11、MC12、MC21がそれぞれ備えるメモリセルトランジスタの各フローティングゲートFGに対応する。

【0048】また、例えば、図3に示したソース領域Saは、図2に示したメモリセルMC11、MC21がそれぞれ備えるメモリセルトランジスタの各ソースSに対応し、図3に示したソース領域Sdは、図2に示したメモリセルMC31、MC41がそれぞれ備えるメモリセルトランジスタの各ソースSに対応する。

【0049】また、例えば、図3に示したドレイン領域Daは、図2に示したメモリセルMC21、MC31がそれぞれ備えるメモリセルトランジスタの各ドレインDに対応し、図3に示したドレイン領域Ddは、図2に示したメモリセルMC41、MC51がそれぞれ備えるメモリセルトランジスタの各ドレインDに対応する。

【0050】図3を参照して、ソース線SL1、SL2はソース領域Sa～Scを含み、ソース線SL3、SL4はソース領域Sd～Sfを含み、ソース線SL5はソース領域Sg～Siを含む。素子分離絶縁膜5は、異なる列に属するメモリセル同士を分離するように、各列間に帯状に延在して形成されている。図3においては、素子分離絶縁膜5が形成されている領域に、斜線のハッチングを施している。

【0051】同一行に属する全てのソース領域は、素子分離絶縁膜5の底面とBOX層3の上面との間に位置する部分のシリコン層4を介して、互いに電氣的に接続されている。例えば、ソース領域Sa～Scは、上記部分のシリコン層4を介して電氣的に接続されており、これにより、行方向に延在する帯状のソース線SL1、SL2が構成されている。

【0052】このように本実施の形態1に係る不揮発性半導体記憶装置によれば、行方向に互いに隣接するソース領域同士は、部分分離型の素子分離絶縁膜5の底面と

(9)

15

B O X層3の上面との間に位置する部分のシリコン層4を介して、互いに電氣的に接続され、これによりソース線S L 1～S L 5が構成される。そのため、ソース線S L 1～S L 5を形成するにあたって、素子分離絶縁膜5が形成されていない領域を各行間に設ける必要がないため、図49に示した従来の不揮発性半導体記憶装置と比較すると、メモリセルアレイ部の面積を削減することができる。

【0053】図4は、図3に対応させて、本発明の実施の形態1の変形例に係る不揮発性半導体記憶装置の構造を示す上面図である。図4に示した不揮発性半導体記憶装置は、図3に示した不揮発性半導体記憶装置を基礎として、行方向に互いに隣接するソース領域同士（例えばソース領域S aとソース領域S b）の間の素子分離絶縁膜5を除去し、その部分を不純物導入のための窓として使用することにより、素子分離絶縁膜5の除去により露出した部分のシリコン層4内に、後述する不純物導入領域10を形成したものである。

【0054】図5～8は、それぞれ図4に示した線分X 1～X 4に沿った位置における断面構造を示す断面図である。図5を参照して、ボディ領域B 1 1とボディ領域B 1 2とは、素子分離絶縁膜5の底面とB O X層3の上面との間に位置する部分のシリコン層4を介して、互いに電氣的に接続されている。その結果、外部からシリコン層4に電圧を印加することにより、ボディ領域B 1 1、B 1 2の電位を同一の電位に固定することができる。

【0055】図6を参照して、ソース領域S dとソース領域S eとの間に位置するシリコン層4の上面内には、素子分離絶縁膜5を除去したことによって生じる凹部が形成されている。そして、素子分離絶縁膜5の除去により露出した部分の、ソース領域S dとソース領域S eとの間に位置するシリコン層4内には、ソース領域S d、S eと同一導電型の不純物導入領域10が形成されている。

【0056】また、図8を参照して、ワード線W L 3とワード線W L 4との間の素子分離絶縁膜5が除去されている。そして、素子分離絶縁膜5の除去により露出した部分のシリコン層4内には、不純物導入領域10が形成されている。

【0057】不純物導入領域10は、メモリセルトランジスタを形成した後、素子分離絶縁膜5を除去して上記凹部を形成し、その後、ソース領域と同一導電型の不純物を、イオン注入法によって上記凹部の底面からシリコン層4内に導入することによって形成される。なお、素子分離絶縁膜5を除去するにあたっては、図6、8に示したように、その下のシリコン層4が露出するまで完全に除去してもよく、あるいは一部のみを除去してもよい。

【0058】図6、8に示すように、不純物導入領域1

16

0は、その底面がB O X層3の上面に達するように形成することが望ましい。これにより、不純物導入領域10の底面とシリコン層4との間にp n接合容量が生じることを回避することができ、ソース線の寄生容量を低減できるため、動作の高速化及び消費電力の低減を図ることができる。

【0059】図7を参照して、ソース領域S a、S d、S g及びドレイン領域D a、D dは、B O X層3の上面に達している。ここで、「ソース領域及びドレイン領域がB O X層の上面に達する」とは、ソース領域及びドレイン領域の不純物拡散領域自体がB O X層の上面にそれぞれ到達する態様（図7）と、ソース領域及びドレイン領域とシリコン層とのp n接合部に生じる空乏層がB O X層の上面にそれぞれ到達する態様との両者を含む。この点に関しては、本明細書において以下同様である。B O X層3の上面に達するようにソース領域及びドレイン領域を形成することにより、ソース領域及びドレイン領域とシリコン層4との間に生じるp n接合容量を低減することができ、ソース線の寄生容量を低減できるため、動作の高速化及び消費電力の低減を図ることができる。

【0060】このように本実施の形態1の変形例に係る不揮発性半導体記憶装置によれば、行方向に互いに隣接するソース領域同士の間に位置するシリコン層4内に、ソース領域と同一導電型の不純物導入領域10を形成した。そのため、ソース線S L 1～S L 5の抵抗を低減することができる。

【0061】実施の形態2. 上記実施の形態1に係る不揮発性半導体記憶装置では、図7に示したように、メモリセルトランジスタのソース領域及びドレイン領域は、B O X層3の上面に達するように深く形成されていた。しかしながら、図7に示すように、例えばボディ領域B 2 1はソース領域S aとドレイン領域D aとによって左右から挟まれるため、チャネル長方向のボディ領域D aの幅は狭くなり、その結果、図7において紙面に垂直な方向に関してボディ抵抗が上昇する（“Bulk-Layout-Compatible 0.18 μ m SOI-CMOS Technology Using Body-Fixed Partial Trench Isolation (PTI)”, Y. Hirano et al., 1999 IEEE International SOI Conference, Oct. 1999, pp131参照）。本実施の形態2では、かかる不都合を回避し得る不揮発性半導体記憶装置を提案する。

【0062】図9は、本発明の実施の形態2に係る不揮発性半導体記憶装置の構造を示す断面図である。図9は、図7に対応させて、一つのメモリセルトランジスタのみを拡大して示したものに相当する。メモリセルトランジスタのソース領域S及びドレイン領域Dは、B O X層3の上面に達しないように浅く形成されている。このようにB O X層3の上面に達しないソース領域S及びドレイン領域Dは、例えばシリコン層4の膜厚が150nmである場合、注入エネルギーが8keV、ドーズ量が $4 \times 10^{15}/\text{cm}^2$ の条件でAs（NMOSの場合）を

50

(10)

17

イオン注入することによって形成することができる。

【0063】また、図10は、図6に対応させて、本発明の実施の形態2に係る不揮発性半導体記憶装置の構造を示す断面図である。ソース領域SはBOX層3の上面に達しないように形成されているのに対して、不純物導入領域10は、上記実施の形態1と同様に、BOX層3の上面に達するように形成されている。

【0064】このように本実施の形態2に係る不揮発性半導体記憶装置によれば、メモリセルトランジスタのソース領域S及びドレイン領域Dを、BOX層3の上面に達しないように形成したため、図9において紙面に垂直な方向に関してボディ抵抗が上昇することを回避することができる。

【0065】また、図3、4を参照して、上記実施の形態1に係る不揮発性半導体記憶装置では、行方向に互いに隣接するメモリセル同士の間の領域を通してしかボディ電位を固定することができなかつた。これに対して、本実施の形態2に係る不揮発性半導体記憶装置によれば、ソース領域S及びドレイン領域Dの各底面とBOX層3の上面との間にシリコン層4が存在するため、列方向に互いに隣接するメモリセル同士の間の領域を通して、ボディ電位を固定することができる。その結果、ボディ電位の固定能力が高まり、ソースドレイン間の耐圧をさらに高めることができる。

【0066】しかも、図10に示したように、不純物導入領域10はBOX層3の上面に達するように形成されているため、不純物導入領域10とシリコン層4との間にpn接合容量が生じることを回避することができる。従って、ソース領域及びドレイン領域をBOX層3の上面に達しないように形成することに伴うソース線の寄生容量の増大を、最小限に抑えることができる。

【0067】実施の形態3。上記実施の形態1に係る不揮発性半導体記憶装置においては、ドレイン側のpn接合容量は、ランダムにアクセスされる、データの読み出し動作及び書き込み動作に対して影響を及ぼす。また、ソース側のpn接合容量は、一括に行われる、データの消去動作に対して影響を及ぼす。但し、これらの関係は、セル構造、書き込みや消去の方式、及びメモリセルアレイの構成によって異なる（日経マイクロデバイス、2000年3月号、pp74, 75参照）。

【0068】図11は、本発明の実施の形態3に係る不揮発性半導体記憶装置の構造を示す断面図である。図11は、図7に対応させて、メモリセルMC31、MC41がそれぞれ備えるメモリセルトランジスタを拡大して示したものに相当する。ドレイン領域Da、Ddは、上記実施の形態1と同様に、BOX層3の上面に達するように深く形成されている。このようにBOX層3の上面に達するドレイン領域Da、Ddは、例えばシリコン層4の膜厚が150nmである場合、注入エネルギーが50keV、ドーズ量が $4 \times 10^{15} / \text{cm}^2$ の条件でAs

18

(NMOSの場合)をイオン注入することによって形成することができる。一方、ソース領域Sdは、上記実施の形態2と同様に、BOX層3の上面に達しないように浅く形成されている。

【0069】なお、本実施の形態3に係る不揮発性半導体記憶装置においても、メモリセルアレイの構成としては、図4に示したレイアウト構成をとることができる。この場合、ソース線の構造は図10に示した構造となる。

【0070】このように本実施の形態3に係る不揮発性半導体記憶装置によれば、ドレイン領域をBOX層3の上面に達するように形成することによって、データの読み出し動作及び書き込み動作に関しては高速かつ低消費電力の動作を維持しつつ、ソース領域をBOX層3の上面に達しないように形成することによって、ボディ電位の固定能力を高めることができる。

【0071】図12は、本実施の形態3の変形例に係る不揮発性半導体記憶装置の構造を示す上面図である。但し図12では、フローティングゲート、ワード線（コントロールゲートを兼ねている）、ソース線、及び素子分離絶縁膜の配置関係を模式的に示している。図49に示したメモリセルアレイのレイアウトと同様に、素子分離絶縁膜5が形成されていない領域が各行間に設けられており、ソース線SL1～SL5は、この領域内に形成されている。このとき、ソース線SL1～SL5は、BOX層3の上面に達しないように浅く形成されている。即ち、ソース線SL1～SL5の底面とBOX層3の上面との間には、シリコン層4が存在している。

【0072】本実施の形態3の変形例に係る不揮発性半導体記憶装置によれば、ソース線SL1～SL5を挟んで列方向に互いに隣接するボディ領域の電位を、ソース線SL1～SL5の底面とBOX層3の上面との間に位置する部分のシリコン層4を介して、互いに固定することができる。従って、図3、4に示したレイアウトと比較すると、メモリセルアレイ部の面積を削減するという観点からは劣っているが、ボディ電位の固定能力に関しては非常に優れている。そのため、書き換え回数が多い等、ソースドレイン間に高耐圧が要求されるフラッシュメモリにおいては、図12に示したレイアウトを採用することが望ましい。なお、図12に示したレイアウトを採る不揮発性半導体記憶装置であっても、ドレイン領域はBOX層3の上面に達するように形成されているため、データの読み出し動作及び書き込み動作に関しては、高速かつ低消費電力の動作を維持することが可能である。

【0073】実施の形態4。図13は、本発明の実施の形態4に係る半導体集積回路の構造を示す断面図である。SOI基板1は、フラッシュメモリのメモリセルアレイが形成されたメモリセルアレイ部と、フラッシュメモリの動作電圧よりも低い電圧で動作する低電圧ロジッ

(11)

19

ク回路が形成された、低電圧ロジック回路部とを有している。具体的に低電圧ロジック回路部には、フラッシュメモリ自体の周辺回路と、フラッシュメモリと組み合わせ使用される他のロジック回路とが形成されている。

【0074】メモリセルアレイ部と低電圧ロジック回路部とは、シリコン層4の上面内に形成された、部分分離型の素子分離絶縁膜5によって互いに分離されている。また、メモリセルアレイ部におけるシリコン層4の膜厚と、低電圧ロジック回路部におけるシリコン層4の膜厚とは互いに等しい。

【0075】メモリセルアレイ部に関して、シリコン層4の上面内には、互いに離間して対を成すソース・ドレイン領域12が形成されている。また、ソース・ドレイン領域12同士に挟まれる部分のシリコン層4の上面上には、ゲート酸化膜6、フローティングゲート7、絶縁膜8、及びコントロールゲート9がこの順に積層された積層構造が形成されている。また、該積層構造の側面にサイドウォール11が形成されて、ゲート電極構造が構成されている。ソース・ドレイン領域12は、上記実施の形態2と同様に、いずれもBOX層3の上面に達していない。但し、上記実施の形態3と同様に、ドレイン領域はBOX層3の上面に達し、ソース領域のみBOX層3の上面に達しないように構成してもよい。

【0076】一方、低電圧ロジック回路部に関して、シリコン層4の上面内には、互いに離間して対を成すソース・ドレイン領域14が形成されている。また、ソース・ドレイン領域14同士に挟まれる部分のシリコン層4の上面上には、ゲート酸化膜6及びゲート電極13がこの順に積層された積層構造が形成されている。また、該積層構造の側面にサイドウォール11が形成されて、ゲート電極構造が構成されている。ソース・ドレイン領域14は、いずれもBOX層3の上面に達して形成されている。

【0077】このように本実施の形態4に係る半導体集積回路によれば、メモリセルアレイ部においては、上記実施の形態2と同様にソース・ドレイン領域12が、あるいは上記実施の形態3と同様にソース領域のみが、BOX層3の上面に達しないように形成されているのに対して、低電圧ロジック回路部においては、ソース・ドレイン領域14はいずれもBOX層3の上面に達するように形成されている。従って、メモリセルアレイ部に関して上記実施の形態2、3に係る不揮発性半導体記憶装置による効果を得ながら、低電圧ロジック回路部においては、ソース・ドレイン領域14とシリコン層4とによって構成されるpn接合容量の増大に伴う、動作速度の低下及び消費電力の増大を回避することができる。

【0078】実施の形態5: 図14は、本発明の実施の形態5に係る半導体集積回路の構造を示す断面図である。上記実施の形態4と同様に、SOI基板1は、メモリセルアレイ部と低電圧ロジック回路部とを有してい

20

る。低電圧ロジック回路部におけるシリコン層4の膜厚は、メモリセルアレイ部におけるシリコン層4の膜厚よりも薄い。また、メモリセルアレイ部と低電圧ロジック回路部とは、シリコン層4の上面内に形成された、部分分離型の素子分離絶縁膜15によって互いに分離されている。

【0079】メモリセルアレイ部には、上記実施の形態4と同様のメモリセルトランジスタが形成されている。また、低電圧ロジック回路部におけるシリコン層4の上面上には、上記実施の形態4と同様のゲート電極構造が構成されている。また、低電圧ロジック回路部におけるシリコン層4内には、BOX層3の上面に達するソース・ドレイン領域36が形成されている。シリコン層4の上面からソース・ドレイン領域12の底面までの深さは、シリコン層4の上面からソース・ドレイン領域36の底面までの深さに等しい。

【0080】図14に示した構造は、(a)シリコン層4の膜厚が例えば200nmのSOI基板1を準備する工程と、(b)低電圧ロジック回路部におけるシリコン層4を、100nmの膜厚だけ上面からエッチングする工程と、(c)素子分離絶縁膜15を形成する工程と、(d)メモリセルアレイ部及び低電圧ロジック回路部において、ゲート電極構造をそれぞれ形成する工程と、(e)注入エネルギーが50keV、ドーズ量が $4 \times 10^{15} / \text{cm}^2$ の条件でAs(NMOSの場合)をイオン注入する工程とを、この順に実行することによって得られる。

【0081】このように本実施の形態5に係る半導体集積回路によれば、上記実施の形態4と同様に、メモリセルアレイ部に関して上記実施の形態2、3に係る不揮発性半導体記憶装置による効果を得ながら、低電圧ロジック回路部においては、ソース・ドレイン領域36とシリコン層4とによって構成されるpn接合容量の増大に伴う、動作速度の低下及び消費電力の増大を回避することができる。

【0082】しかも、低電圧ロジック回路部におけるシリコン層4が予め薄膜化されているため、BOX層3の上面に達しないソース・ドレイン領域12と、BOX層3の上面に達するソース・ドレイン領域36とを、同一のイオン注入工程(e)によって形成することができる。

【0083】実施の形態6: 図15は、本発明の実施の形態6に係る半導体集積回路の構造を示す断面図である。本実施の形態6に係る半導体集積回路は、図13に示した上記実施の形態4に係る半導体集積回路を基礎として、メモリセルアレイ部と低電圧ロジック回路部との境界部分において、素子分離絶縁膜5の代わりに素子分離絶縁膜16を形成したものである。素子分離絶縁膜16は、BOX層3の上面に達する完全分離部40を、底面の一部に有している。

(12)

21

【0084】図16～19は、素子分離絶縁膜16の第1の製造方法を工程順に示す断面図である（特願平10-367265号）。まず、シリコン層4の上面上に、酸化膜17及び窒化膜18をこの順に全面に形成する。次に、素子分離絶縁膜16の形成予定領域の上方に開口パターンを有するフォトレジスト19を、窒化膜18の上面上に形成する。次に、フォトレジスト19をマスクに用いて、窒化膜18、酸化膜17、及びシリコン層4をこの順にエッチングすることにより、凹部20を形成する。このとき、凹部20の底面とBOX層3の上面との間には、シリコン層4の一部が残っている（図16）。

【0085】次に、凹部20の側面に、絶縁膜から成るサイドウォール21を形成する（図17）。図17に示すように、凹部20の底面の中心部分は、サイドウォール21から露出している。次に、サイドウォール21及びフォトレジスト19をマスクに用いて、BOX層3の上面が露出するまでシリコン層4をエッチングすることにより、凹部22を形成する（図18）。次に、凹部20、22内を絶縁膜によって充填した後、窒化膜18の底面が残る程度に、CMP法によって全体を研磨し、その後、残りの窒化膜18及び酸化膜17を除去することにより、完全分離部40を有する素子分離絶縁膜16を形成する（図19）。

【0086】図20、21は、素子分離絶縁膜16の第2の製造方法を工程順に示す断面図である（特願平10-367265号）。まず、図16に示す構造を得た後、フォトレジスト19を除去する。次に、完全分離部40の形成予定領域の上方に開口パターンを有するフォトレジスト23を形成する（図20）。次に、フォトレジスト23をマスクに用いて、BOX層3の上面が露出するまでシリコン層4をエッチングすることにより、凹部24を形成する（図21）。

【0087】次に、フォトレジスト23を除去した後、凹部20、24内を絶縁膜によって充填する。次に、窒化膜18の底面が残る程度に、CMP法によって全体を研磨し、その後、残りの窒化膜18及び酸化膜17を除去することにより、図19と同様に、完全分離部40を有する素子分離絶縁膜16を形成する。

【0088】図22～24は、素子分離絶縁膜16の第3の製造方法を工程順に示す断面図である（特願平11-177091号）。まず、シリコン層4の上面上に、酸化膜17及び窒化膜18をこの順に全面に形成する。次に、完全分離部40の形成予定領域の上方に開口パターンを有するフォトレジスト25を、窒化膜18の上面上に形成する。次に、フォトレジスト25をマスクに用いて、BOX層3の上面が露出するまで、窒化膜18、酸化膜17、及びシリコン層4をこの順にエッチングすることにより、凹部26を形成する（図22）。

【0089】次に、フォトレジスト25を除去した後、

22

素子分離絶縁膜16の形成予定領域の上方に開口パターンを有するフォトレジスト27を、窒化膜18の上面上に形成する（図23）。次に、フォトレジスト27をマスクに用いて、窒化膜18、酸化膜17、及びシリコン層4をこの順にエッチングすることにより、凹部28を形成する。このとき、凹部28の底面とBOX層3の上面との間には、シリコン層4の一部が残っている。その後、フォトレジスト27を除去する（図24）。

【0090】次に、凹部26、28内を絶縁膜によって充填した後、窒化膜18の底面が残る程度に、CMP法によって全体を研磨し、その後、残りの窒化膜18及び酸化膜17を除去することにより、図19と同様に、完全分離部40を有する素子分離絶縁膜16を形成する。

【0091】図25～29は、素子分離絶縁膜16の第4の製造方法を工程順に示す断面図である（特願2000-39484号）。まず、シリコン層4の上面上に、酸化膜17、ポリシリコン膜29、及び窒化膜18をこの順に全面に形成する。次に、素子分離絶縁膜16の形成予定領域の上方に開口パターンを有するフォトレジスト30を、窒化膜18の上面上に形成する（図25）。

【0092】次に、フォトレジスト30をマスクに用いて、窒化膜18、ポリシリコン膜29、酸化膜17、及びシリコン層4をこの順にエッチングすることにより、凹部31を形成する。このとき、凹部31の底面とBOX層3の上面との間には、シリコン層4の一部が残っている。その後、フォトレジスト30を除去する（図26）。

【0093】次に、上記第2の製造方法と同様に、完全分離部40の形成予定領域の上方に開口パターンを有するフォトレジスト23をマスクに用いて、BOX層3の上面が露出するまでシリコン層4をエッチングすることにより、凹部32を形成する。その後、フォトレジスト23を除去する（図27）。

【0094】次に、700～900℃程度の温度条件でウェット酸化することにより、凹部31、32の側面に酸化膜33を形成する（図28）。酸化膜33は、ポリシリコン膜29と酸化膜17との間、及び酸化膜17とシリコン層4との間に深く侵入する。そのため、酸化膜33のバズピーク形状は顕著となる。

【0095】次に、凹部31、32内を酸化膜34によって充填した後、酸化膜34の上面が窒化膜18の上面よりも低くなり過ぎない程度に、CMP法によってシリコン酸化膜34を研磨する（図29）。次に、窒化膜18、ポリシリコン膜29、及び酸化膜17を除去することにより、図19と同様に、完全分離部40を有する素子分離絶縁膜16を形成する。

【0096】以上の説明では、図13に示した上記実施の形態4に係る半導体集積回路を基礎として、本実施の形態6に係る発明を適用する場合について説明したが、図14に示した上記実施の形態5に係る半導体集積回路

(13)

23

を基礎として、本実施の形態 6 に係る発明を適用することもできる。図 30 は、上記実施の形態 5 に係る半導体集積回路を基礎とした場合の、本発明の実施の形態 6 に係る半導体集積回路の構造を示す断面図である。図 30 に示した半導体集積回路は、メモリセルアレイ部と低電圧ロジック回路部との境界部分において、図 14 に示した素子分離絶縁膜 15 の代わりに素子分離絶縁膜 35 を形成したものである。素子分離絶縁膜 35 は、BOX 層 3 の上面に達する完全分離部 41 を、底面の一部に有している。

【0097】図 31～34 は、図 30 に示した半導体集積回路の製造方法を工程順に示す断面図である。まず、シリコン基板 2、BOX 層 3、及びシリコン層 4 がこの順に積層された積層構造を有する SOI 基板 1 を準備する（図 31）。次に、低電圧ロジック回路部におけるシリコン層 4 の上面を熱酸化して、シリコン酸化膜（図示しない）を形成する。熱酸化はシリコン層 4 の内部にも進行するため、シリコン酸化膜の底面は、メモリセルアレイ部におけるシリコン層 4 の上面よりも低い位置に存在することになる。次に、熱酸化によって形成した上記シリコン酸化膜を、エッチングによって除去する。これにより、低電圧ロジック回路部におけるシリコン層 4 の上面が、メモリセルアレイ部におけるシリコン層 4 の上面よりも低くなる（図 32）。

【0098】次に、素子分離絶縁膜 16 を形成する場合と同様の方法によって、メモリセルアレイ部と低電圧ロジック回路部との境界部分に素子分離絶縁膜 35 を形成する。また、メモリセルアレイ部及び低電圧ロジック回路部内において、部分分離型の素子分離絶縁膜 5 を形成する（図 33）。

【0099】次に、メモリセルアレイ部及び低電圧ロジック回路部において、シリコン層 4 の上面上に、ゲート電極構造をそれぞれ形成する（図 34）。具体的には、メモリセルアレイ部にフローティングゲート材を予め形成しておき、例えばポリシリコンとタングステンシリサイドとのポリサイド構造を全面に形成した後、パターンニングしてゲート電極構造とする。

【0100】その後、ゲート電極構造及び素子分離絶縁膜 5、35 をマスクに用いて、シリコン層 4 内に不純物をイオン注入することによって、ソース・ドレイン領域 12、36 を形成し、図 30 に示した構造を得る。

【0101】図 13、14 を参照すると、メモリセルアレイ部と低電圧ロジック回路部との境界部分には、部分分離型の素子分離絶縁膜 5、15 が形成されており、素子分離絶縁膜 5、15 の底面と BOX 層 3 の上面との間には、シリコン層 4 が存在する。従って、メモリセルアレイ部及び低電圧ロジック回路部において発生したノイズが、この部分のシリコン層 4 を介して相互に伝搬しやすく、メモリセルトランジスタ及び低電圧ロジック回路は、相互にノイズの影響を受けやすかった。

24

【0102】これに対して、本実施の形態 6 に係る半導体集積回路によれば、メモリセルアレイ部と低電圧ロジック回路部との境界部分には、完全分離部 40、41 を有する素子分離絶縁膜 16、35 が形成されている。従って、メモリセルアレイ部及び低電圧ロジック回路部におけるノイズが相互に伝搬し合うことを抑制することができ、ノイズの影響を受けにくい半導体集積回路を得ることができる。

【0103】なお、以上の説明では、底面の一部に完全分離部 40、41 を有する素子分離絶縁膜 16、35 を形成する場合について説明したが、素子分離絶縁膜 16、35 を形成する代わりに、BOX 層 3 の上面に到達する底面を有する完全分離型の素子分離絶縁膜を形成することによっても、上記と同様の効果が得られる。

【0104】実施の形態 7. 図 35 は、本発明の実施の形態 7 に係る半導体集積回路の構成を模式的に示す上面図である。また、図 36 は、本発明の実施の形態 7 に係る半導体集積回路の断面構造を模式的に示す断面図である。図 35、36 に示すように、本実施の形態 7 に係る半導体集積回路は、上記低電圧ロジック回路部等を含む低電圧部と、低電圧部よりも高電圧を扱う高電圧部とを備えている。高電圧部は高電圧回路部とメモリセルアレイ部とを有しており、高電圧回路部と低電圧部とは、メモリセルアレイ部を挟んで基板の反対側に配置されている。高電圧回路部は、素子分離絶縁膜 45 によってメモリセルアレイ部と分離されている。また、低電圧部は、素子分離絶縁膜 45 によってメモリセルアレイ部と分離されている。図 36 に示すように、素子分離絶縁膜 45 は、底面の一部に完全分離部 47 を有している。但し、素子分離絶縁膜 45 の代わりに、完全分離型の素子分離絶縁膜を形成してもよい。

【0105】メモリセルアレイ部には、部分分離型の素子分離絶縁膜 5 によって互いに分離された複数のメモリセルトランジスタが、行列状に形成されている。ここで、メモリセルアレイ部には、上記実施の形態 1～3 に係る発明を適用してもよい。

【0106】また、低電圧部には、メモリセルトランジスタの駆動電圧よりも低い電圧で駆動される複数の低電圧トランジスタが形成されている。互いに隣接する低電圧トランジスタ同士は、素子分離絶縁膜 5 によって分離されている。ここで、メモリセルアレイ部及び低電圧部には、上記実施の形態 4、5 に係る発明を適用してもよい。また、高電圧回路部には、低電圧トランジスタの駆動電圧よりも高い電圧で駆動される複数の高電圧トランジスタが形成されている。互いに隣接する高電圧トランジスタ同士は、素子分離絶縁膜 5 によって分離されている。

【0107】このように本実施の形態 7 に係る半導体集積回路によれば、高電圧回路部と低電圧部とを、メモリセルアレイ部を挟んで基板の反対側に配置したため、低

(14)

25

電圧部が、ノイズの発生源となりやすい高電圧回路部の影響を受けることを抑制することができる。

【0108】また、低電圧部とメモリセルアレイ部、及びメモリセルアレイ部と高電圧回路部とが、完全分離部47を有する素子分離絶縁膜45、あるいは完全分離型の素子分離絶縁膜によって互いに分離されているため、各領域で発生したノイズがシリコン層4を介して相互に伝搬し合うことを抑制でき、ノイズの影響を受けにくい半導体集積回路を得ることができる。

【0109】図37は、本発明の実施の形態7の第1の変形例に係る半導体集積回路の構成を模式的に示す上面図である。高電圧回路部は、複数の回路ブロック42a～42dに分割されており、低電圧部は、複数の回路ブロック44a～44fに分割されている。そして、互いに隣接する回路ブロック同士は、素子分離絶縁膜45によって分離されている。本実施の形態7の第1の変形例に係る半導体集積回路によれば、高電圧回路部及び低電圧部において、回路ブロック間でのノイズの相互影響をそれぞれ抑制することができる。

【0110】図38は、本発明の実施の形態7の第2の変形例に係る半導体集積回路の構成を模式的に示す上面図である。上記第1の変形例に係る半導体集積回路と同様に、高電圧回路部、メモリセルアレイ部、及び低電圧部の各領域間には素子分離絶縁膜45が形成されており、また、高電圧回路部及び低電圧部内の回路ブロック間にも素子分離絶縁膜45が形成されている。

【0111】本実施の形態7の第2の変形例に係る半導体集積回路においては、レイアウトの都合上、高電圧回路部の一部と低電圧部の一部とが互いに隣接して配置されており、互いに隣接する部分の高電圧回路部と低電圧部との間には、素子分離絶縁膜45よりも幅広の素子分離絶縁膜46aが形成されている。素子分離絶縁膜46aは、素子分離絶縁膜45と同様に完全分離部47を有する素子分離絶縁膜、あるいは完全分離型の素子分離絶縁膜である。本実施の形態7の第2の変形例に係る半導体集積回路によれば、互いに隣接する部分の高電圧回路部と低電圧部との間に、素子分離絶縁膜45よりも分離性能の高い幅広の素子分離絶縁膜46aを形成したため、隣接部分の高電圧回路部と低電圧部との間でのノイズの相互影響を抑制することができる。

【0112】また、本実施の形態7の第1、2の変形例に係る半導体集積回路において、低電圧部に、高周波のアナログ微小信号を扱う高周波(RF: Radio Frequency)回路を形成する場合は、高電圧回路部から最も離れて配置されている回路ブロック44f、44jに、高周波回路を形成することが望ましい。これにより、高電圧回路部で発生したノイズによって高周波回路が受ける影響を緩和することができる。

【0113】さらに、図38を参照して、回路ブロック44jに高周波回路が形成されている場合に、回路ブ

26

ック44jと、これに隣接する回路ブロック44g、44iとの間に、分離性能の高い幅広の素子分離絶縁膜46bを形成してもよい。素子分離絶縁膜46bは、素子分離絶縁膜45と同様に完全分離部47を有する素子分離絶縁膜、あるいは完全分離型の素子分離絶縁膜である。これにより、回路ブロック44j以外の領域で発生したノイズによって高周波回路が受ける影響を、さらに緩和することができる。

【0114】実施の形態8. 図39は、本発明の実施の形態8に係る半導体集積回路の構成を模式的に示す断面図である。図39に示すように本実施の形態8に係る半導体集積回路は、図36に示した上記実施の形態7に係る半導体集積回路を基礎として、高電圧回路部及びメモリセルアレイ部における素子分離絶縁膜48、49を、低電圧部における素子分離絶縁膜5、45よりも深く形成したものである。

【0115】素子分離絶縁膜48は部分分離型の素子分離絶縁膜であり、高電圧回路部内において、互いに隣接する高電圧トランジスタ同士、及びメモリセルアレイ部内において、互いに隣接するメモリセルトランジスタ同士の間に形成されている。また、素子分離絶縁膜49は、底面の一部に完全分離部50を有する素子分離絶縁膜であり、高電圧回路部とメモリセルアレイ部との間に形成されている。

【0116】このように本実施の形態8に係る半導体集積回路によれば、高電圧回路部及びメモリセルアレイ部における素子分離絶縁膜48、49を、低電圧部における素子分離絶縁膜5、45よりも深く形成したため、低電圧部よりも高い電圧を扱う高電圧部において、素子分離絶縁膜48、49の分離耐圧を高めることができる。

【0117】実施の形態9. 図40は、本発明の実施の形態9に係る半導体集積回路の構成を模式的に示す断面図である。図40においては、上記実施の形態8における高電圧回路部及びメモリセルアレイ部をまとめて、

「高電圧部」として記載している。後述の図41～43においても同様である。低電圧部において、素子分離絶縁膜5の底面とBOX層3の上面との間に位置する部分のシリコン層4内には、チャネルカット層52が形成されている。また、高電圧部において、素子分離絶縁膜5の底面とBOX層3の上面との間に位置する部分のシリコン層4内には、チャネルカット層52よりも不純物濃度が高いチャネルカット層51が形成されている。

【0118】このように本実施の形態9に係る半導体集積回路によれば、高電圧部に形成されるチャネルカット層51の不純物濃度を、低電圧部に形成されるチャネルカット層52の不純物濃度よりも高くしたため、高電圧部において素子間の分離耐圧を高めることができる。

【0119】実施の形態10. 図41～43は、本発明の実施の形態10に係る半導体集積回路の構造を示す断面図である。図41を参照して、SOI基板1の高電圧

(15)

27

部及び低電圧部には、トランジスタがそれぞれ形成されている。また、低電圧部におけるシリコン層4内には、チャンネルドープ領域54が形成されており、高電圧部におけるシリコン層4内には、チャンネルドープ領域54よりも不純物濃度が高いチャンネルドープ領域53が形成されている。

【0120】図42を参照して、SOI基板1の高電圧部及び低電圧部には、トランジスタがそれぞれ形成されている。高電圧部に形成されているトランジスタのゲート酸化膜55の膜厚は、低電圧部に形成されているトランジスタのゲート酸化膜6の膜厚よりも厚い。

【0121】図43を参照して、SOI基板1の高電圧部及び低電圧部には、トランジスタがそれぞれ形成されている。高電圧部に形成されているトランジスタのゲート長は、低電圧部に形成されているトランジスタのゲート長よりも長い。図41～43に示した構造は、任意に組み合わせて使用してもよい。

【0122】このように本実施の形態10に係る半導体集積回路によれば、高電圧部に形成されているトランジスタのしきい値電圧を、低電圧部に形成されているトランジスタのしきい値電圧よりも高く設定できるため、高電圧部において、トランジスタのパンチスルー耐性を高めることができる。

【0123】実施の形態11、本発明の実施の形態11は、図7に示したように、ソース領域及びドレイン領域がともにBOX層3の上面に達する構造の不揮発性半導体記憶装置を対象とする。図44は、本発明の実施の形態11に係る、フラッシュメモリのメモリセルアレイの構成の一部を抜き出して示す回路図である。図44では、3行×3列分の、合計9個のメモリセルの構成のみを示している。同一行に属するメモリセルトランジスタは、共通のボディ線に接続されている。例えば、メモリセルMC11～MC13が備える各メモリセルトランジスタは、ボディ線BDL1に共通に接続されている。

【0124】ワード線WL1～WL3は、ワード線の駆動回路601～603にそれぞれ接続されている。また、ボディ線BDL1～BDL3は、ボディ線の駆動回路611～613にそれぞれ接続されている。このとき、図44に示すように、駆動回路601～603と駆動回路611～613とは、メモリセルアレイを挟んで基板の反対側に配置するのが望ましい。

【0125】一般的なフラッシュメモリにおいては、例えば、ソースSに0V、ドレインDに5V、コントロールゲートCGに12Vの電圧をそれぞれ印加して、フローティングゲートFG内にホットエレクトロンを注入することによって、データの書き込みを行う。

【0126】本実施の形態11では、データの書き込み動作を行う際、ボディ線BDL1～BDL3にも電圧を印加する。図45は、データの書き込み時に、ワード線及びボディ線にそれぞれ印加されるワード線(WL)駆

28

動信号及びボディ線(BDL)駆動信号の波形を示すタイミングチャートである。WL駆動信号は、時刻t1に、LレベルからHレベルに遷移している。このとき、BDL駆動信号がt1よりも早い時刻t2にLレベルからHレベルに遷移するように、ボディ線BDLを駆動するのが望ましい。即ち、ボディ線BDLをワード線WLに先立って駆動するのが望ましい。

【0127】シリコンによって構成されるボディ線BDLは、シリサイド等によって構成されるワード線WLよりも抵抗が高く、信号の伝達速度が遅い。しかしながら、ワード線WLに先立ってボディ線BDLを駆動することにより、WL駆動信号に対してBDL駆動信号が遅延することを回避することができる。

【0128】このように本実施の形態11に係る不揮発性半導体記憶装置によれば、データの書き込み動作を行う際に、ワード線WLとともにボディ線BDLも駆動する。これにより、メモリセルトランジスタのソースSからドレインDにバイポーラ電流も流すことができるため、書き込み効率の向上を図ることができる。例えば、ボディ線BDLに0.3Vの電圧を印加することにより、ワード線WLに印加する電圧を10Vに下げることが可能となる。これにより、消費電力の低減を図ることができる。

【0129】また、駆動回路601～603と駆動回路611～613とは、メモリセルアレイを挟んで基板の反対側に配置されているため、ワード線WL及びボディ線BDLの各抵抗に起因する電圧降下の影響を相殺することができる。これにより、同一行に属する複数のメモリセルに関して、書き込み特性の均一化を図ることができる。

【0130】なお、非選択のボディ線BDLには、駆動回路611～613から0Vの電圧を印加するか、あるいは、選択されたボディ線BDLとは逆極性の電圧(例えば-0.3V)を印加するのが望ましい。これにより、ディスタープ不良の発生を回避することができる。

【0131】

【発明の効果】この発明のうち請求項1に係るものによれば、行方向に互いに隣接するソース領域同士を半導体層を介して互いに電氣的に接続することができ、これによってソース線を構成することができる。

【0132】また、行方向に互いに隣接するソース領域同士の間に、ソース領域と同一導電型の不純物導入領域を形成したため、ソース線の抵抗を低減することもできる。

【0133】また、この発明のうち請求項2に係るものによれば、列方向に関するボディ抵抗の上昇を回避することができる。

【0134】また、列方向に互いに隣接するメモリセル同士の間においても、ソース領域と絶縁層との間に位置する部分の半導体層を介して、ボディ電位を固定するこ

(16)

29

とができる。

【0135】また、この発明のうち請求項3に係るものによれば、列方向に互いに隣接するメモリセルトランジスタに関して、ドレイン領域と絶縁層との間に位置する部分の半導体層を介してボディ電位を固定することができるため、ボディ電位の固定能力を高めることができる。

【0136】また、この発明のうち請求項4に係るものによれば、ドレイン領域と半導体層とのpn接合部におけるpn接合容量を低減できるため、データの読み出し動作及び書き込み動作に関しては、高速かつ低消費電力の動作を維持することができる。

【0137】また、この発明のうち請求項5に係るものによれば、データの書き込み動作を行う際にワード線とともにボディ線も駆動することにより、メモリセルトランジスタのソース領域からドレイン領域にバイポーラ電流も流すことができるため、書き込み効率の向上を図ることができる。

【0138】また、この発明のうち請求項6に係るものによれば、第1の駆動回路と第2の駆動回路とは、メモリセルアレイ部を挟んで互いに反対側に配置されているため、ワード線及びボディ線の各抵抗に起因する電圧降下の影響を相殺することができる。これにより、同一行に属する複数のメモリセルに関して、書き込み特性の均一化を図ることができる。

【0139】また、この発明のうち請求項7に係るものによれば、列方向に関するボディ抵抗の上昇を回避することができる。

【0140】さらに、列方向に互いに隣接するメモリセル同士の間においても、ソース領域と絶縁層との間に位置する部分の半導体層を介して、ボディ電位を固定することができる。

【0141】しかも、ドレイン領域と半導体層とのpn接合部におけるpn接合容量を低減できるため、データの読み出し動作及び書き込み動作に関しては、高速かつ低消費電力の動作を維持することができる。

【0142】また、この発明のうち請求項8に係るものによれば、データの書き込み動作を行う際にワード線とともにボディ線も駆動することにより、メモリセルトランジスタのソース領域からドレイン領域にバイポーラ電流も流すことができるため、書き込み効率の向上を図ることができる。

【0143】また、この発明のうち請求項9に係るものによれば、第1の駆動回路と第2の駆動回路とは、メモリセルアレイ部を挟んで互いに反対側に配置されているため、ワード線及びボディ線の各抵抗に起因する電圧降下の影響を相殺することができる。これにより、同一行に属する複数のメモリセルに関して、書き込み特性の均一化を図ることができる。

【0144】また、この発明のうち請求項10に係るも

30

のによれば、ディスタープ不良を回避することができる。

【0145】また、この発明のうち請求項11に係るものによれば、ボディ線の抵抗がワード線の抵抗よりも高い場合であっても、第1の駆動信号に対して第2の駆動信号が遅延することを回避することができる。

【0146】また、この発明のうち請求項12に係るものによれば、行方向に互いに隣接するソース領域同士の間には不純物導入領域を形成することにより、ソース線の抵抗を低減することができる。

【0147】また、この発明のうち請求項13に係るものによれば、メモリセルアレイ部においてボディ電位の固定能力を高めつつ、低電圧部においては、pn接合容量の増大に伴う動作速度の低下及び消費電力の増大を回避することができる。

【0148】また、この発明のうち請求項14に係るものによれば、低電圧部のみにあって、ソース領域及びドレイン領域、あるいはソース領域及びドレイン領域と半導体層とのpn接合部にそれぞれ生じる空乏層を、絶縁層に到達させることができる。

【0149】また、この発明のうち請求項15に係るものによれば、低電圧部のみにあって、ソース領域及びドレイン領域、あるいはソース領域及びドレイン領域と半導体層とのpn接合部にそれぞれ生じる空乏層を、絶縁層に到達させることができる。

【0150】また、メモリセルアレイ部において絶縁層に到達しないソース領域と、低電圧部において絶縁層に到達するソース領域及びドレイン領域とを、同一のイオン注入工程によって形成することができる。

【0151】また、この発明のうち請求項16に係るものによれば、メモリセルアレイ部及び低電圧部においてそれぞれ発生したノイズが半導体層を介して相互に伝搬し合うことを抑制することができ、ノイズの影響を受けにくい半導体集積回路を得ることができる。

【0152】また、この発明のうち請求項17に係るものによれば、高電圧部と低電圧部とを、メモリセルアレイ部を挟んで基板の反対側に配置したため、低電圧部が、ノイズの発生源となりやすい高電圧部で発生したノイズの影響を受けることを抑制することができる。

【0153】また、この発明のうち請求項18に係るものによれば、ノイズの影響を受けやすい高周波回路が、高電圧部で発生したノイズの影響を受けることを緩和することができる。

【0154】また、この発明のうち請求項19に係るものによれば、第1の素子分離絶縁膜を形成したことによって、メモリセルアレイ部、低電圧部、及び高電圧部の各領域で発生したノイズが半導体層を介して相互に伝搬し合うことを抑制でき、ノイズの影響を受けにくい半導体集積回路を得ることができる。

【0155】また、第2の素子分離絶縁膜を形成したこ

50

(17)

31

とによって、高周波回路部以外の他の領域で発生したノイズによって高周波回路が受ける影響を低減することができる。

【0156】また、この発明のうち請求項20に係るものによれば、低電圧部よりも高い電圧を扱うメモリセルアレイ部において、第1の素子分離絶縁膜の分離耐圧を高めることができる。

【0157】また、この発明のうち請求項21に係るものによれば、低電圧部よりも高い電圧を扱うメモリセルアレイ部において、第1の素子分離絶縁膜の分離耐圧を

高めることができる。

【0158】また、この発明のうち請求項22に係るものによれば、メモリセルアレイ部において、トランジスタのパンチスルー耐性を高めることができる。

【0159】また、この発明のうち請求項23に係るものによれば、メモリセルアレイ部、低電圧部、及び高電圧部の各領域で発生したノイズが半導体層を介して相互に伝搬し合うことを抑制でき、ノイズの影響を受けにくい半導体集積回路を得ることができる。

【0160】また、この発明のうち請求項24に係るものによれば、分離耐圧の高い第2の素子分離絶縁膜を形成することによって、隣接部分の高電圧部と低電圧部との間でのノイズの相互影響を抑制することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る不揮発性半導体記憶装置の、メモリセルトランジスタの構造を示す断面図である。

【図2】 本発明の実施の形態1に係る不揮発性半導体記憶装置の、メモリセルアレイの構成の一部を抜き出して示す回路図である。

【図3】 本発明の実施の形態1に係る不揮発性半導体記憶装置の構造を示す上面図である。

【図4】 本発明の実施の形態1の変形例に係る不揮発性半導体記憶装置の構造を示す上面図である。

【図5】 図4に示した線分X1に沿った位置における断面構造を示す断面図である。

【図6】 図4に示した線分X2に沿った位置における断面構造を示す断面図である。

【図7】 図4に示した線分X3に沿った位置における断面構造を示す断面図である。

【図8】 図4に示した線分X4に沿った位置における断面構造を示す断面図である。

【図9】 本発明の実施の形態2に係る不揮発性半導体記憶装置の構造を示す断面図である。

【図10】 本発明の実施の形態2に係る不揮発性半導体記憶装置の構造を示す断面図である。

【図11】 本発明の実施の形態3に係る不揮発性半導体記憶装置の構造を示す断面図である。

【図12】 本実施の形態3の変形例に係る不揮発性半導体記憶装置の構造を示す上面図である。

32

【図13】 本発明の実施の形態4に係る半導体集積回路の構造を示す断面図である。

【図14】 本発明の実施の形態5に係る半導体集積回路の構造を示す断面図である。

【図15】 本発明の実施の形態6に係る半導体集積回路の構造を示す断面図である。

【図16】 本発明の実施の形態6に係る半導体集積回路に関して、素子分離絶縁膜の第1の製造方法を工程順に示す断面図である。

10 【図17】 本発明の実施の形態6に係る半導体集積回路に関して、素子分離絶縁膜の第1の製造方法を工程順に示す断面図である。

【図18】 本発明の実施の形態6に係る半導体集積回路に関して、素子分離絶縁膜の第1の製造方法を工程順に示す断面図である。

【図19】 本発明の実施の形態6に係る半導体集積回路に関して、素子分離絶縁膜の第1の製造方法を工程順に示す断面図である。

【図20】 本発明の実施の形態6に係る半導体集積回路に関して、素子分離絶縁膜の第2の製造方法を工程順に示す断面図である。

20 【図21】 本発明の実施の形態6に係る半導体集積回路に関して、素子分離絶縁膜の第2の製造方法を工程順に示す断面図である。

【図22】 本発明の実施の形態6に係る半導体集積回路に関して、素子分離絶縁膜の第3の製造方法を工程順に示す断面図である。

【図23】 本発明の実施の形態6に係る半導体集積回路に関して、素子分離絶縁膜の第3の製造方法を工程順に示す断面図である。

30 【図24】 本発明の実施の形態6に係る半導体集積回路に関して、素子分離絶縁膜の第3の製造方法を工程順に示す断面図である。

【図25】 本発明の実施の形態6に係る半導体集積回路に関して、素子分離絶縁膜の第4の製造方法を工程順に示す断面図である。

【図26】 本発明の実施の形態6に係る半導体集積回路に関して、素子分離絶縁膜の第4の製造方法を工程順に示す断面図である。

40 【図27】 本発明の実施の形態6に係る半導体集積回路に関して、素子分離絶縁膜の第4の製造方法を工程順に示す断面図である。

【図28】 本発明の実施の形態6に係る半導体集積回路に関して、素子分離絶縁膜の第4の製造方法を工程順に示す断面図である。

【図29】 本発明の実施の形態6に係る半導体集積回路に関して、素子分離絶縁膜の第4の製造方法を工程順に示す断面図である。

50 【図30】 本発明の実施の形態6に係る半導体集積回路の他の構造を示す断面図である。

(18)

33

【図31】 図30に示した半導体集積回路の製造方法を工程順に示す断面図である。

【図32】 図30に示した半導体集積回路の製造方法を工程順に示す断面図である。

【図33】 図30に示した半導体集積回路の製造方法を工程順に示す断面図である。

【図34】 図30に示した半導体集積回路の製造方法を工程順に示す断面図である。

【図35】 本発明の実施の形態7に係る半導体集積回路の構成を模式的に示す上面図である。

【図36】 本発明の実施の形態7に係る半導体集積回路の断面構造を模式的に示す断面図である。

【図37】 本発明の実施の形態7の第1の変形例に係る半導体集積回路の構成を模式的に示す上面図である。

【図38】 本発明の実施の形態7の第2の変形例に係る半導体集積回路の構成を模式的に示す上面図である。

【図39】 本発明の実施の形態8に係る半導体集積回路の構成を模式的に示す断面図である。

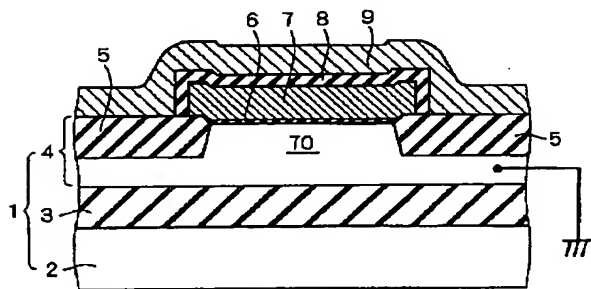
【図40】 本発明の実施の形態9に係る半導体集積回路の構成を模式的に示す断面図である。

【図41】 本発明の実施の形態10に係る半導体集積回路の構造を示す断面図である。

【図42】 本発明の実施の形態10に係る半導体集積回路の構造を示す断面図である。

【図43】 本発明の実施の形態10に係る半導体集積回路の構造を示す断面図である。

【図1】



- 1: SOI基板
- 2: シリコン基板
- 3: BOX層
- 4: シリコン層
- 5: 素子分離絶縁膜
- 6: ゲート酸化膜
- 7: フローティングゲート
- 8: 絶縁膜
- 9: コントロールゲート
- 70: ボディ領域

34

【図44】 本発明の実施の形態11に係る不揮発性半導体記憶装置の、メモリセルアレイの構成の一部を抜き出して示す回路図である。

【図45】 本発明の実施の形態11に係る不揮発性半導体記憶装置に関して、ワード線及びボディ線にそれぞれ印加される駆動信号の波形を示すタイミングチャートである。

【図46】 バルク基板を用いたフラッシュメモリの、メモリセルトランジスタの構造を模式的に示す断面図である。

【図47】 従来の不揮発性半導体記憶装置の、メモリセルトランジスタの構造を模式的に示す断面図である。

【図48】 従来の不揮発性半導体記憶装置に関して、メモリセルアレイの構成の一部を抜き出して示す回路図である。

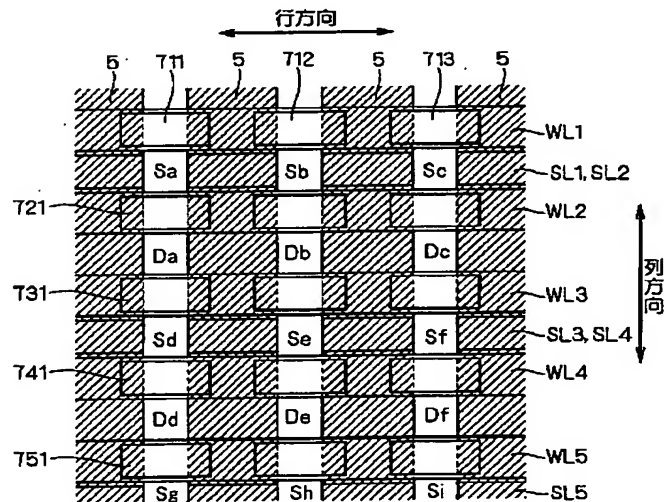
【図49】 従来の不揮発性半導体記憶装置の構造を示す上面図である。

【図50】 図49に示した線分X100に沿った位置における断面構造を示す断面図である。

20 【符号の説明】

1 SOI基板、2 シリコン基板、3 BOX層、4 シリコン層、5、15、16、35、46a、46b、48、49 素子分離絶縁膜、70 ボディ領域、10 不純物導入領域、12、14、36 ソース・ドレイン領域、40、41、47、50 完全分離部、51、52 チャンネルカット層。

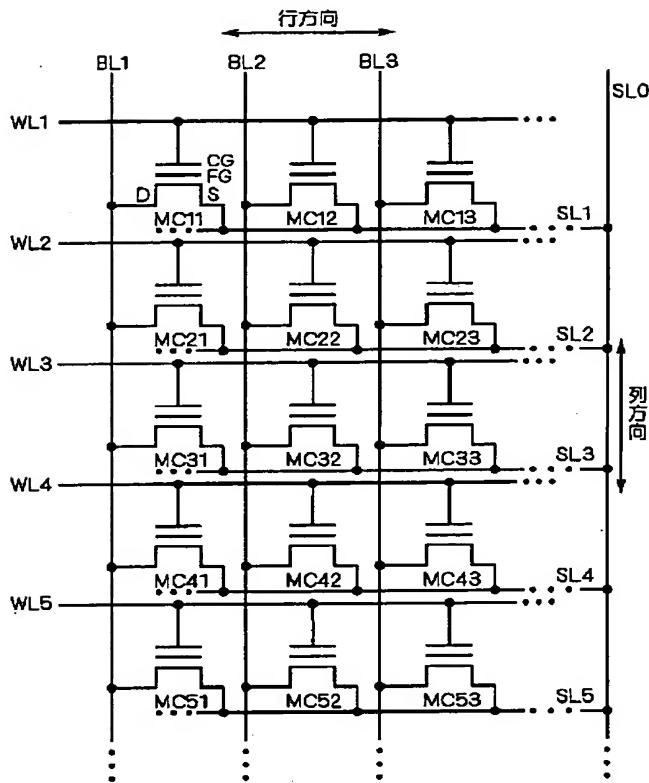
【図3】



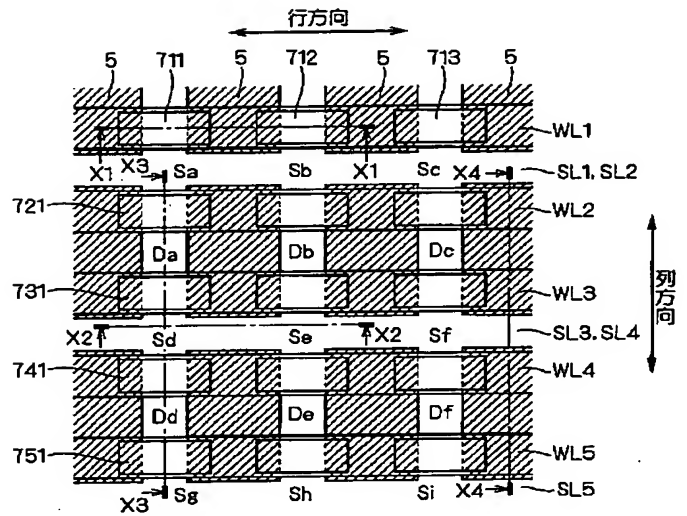
BEST AVAILABLE COPY

(19)

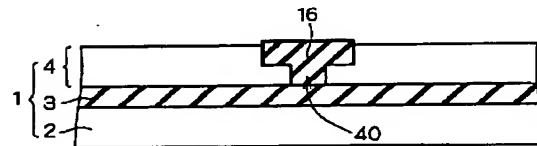
【図 2】



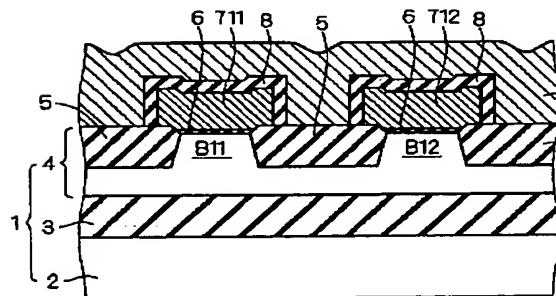
【図 4】



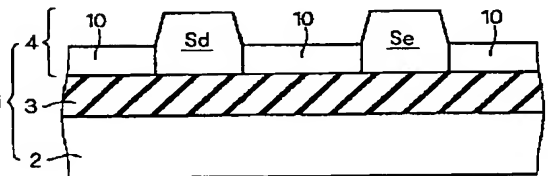
【図 1 9】



【図 5】

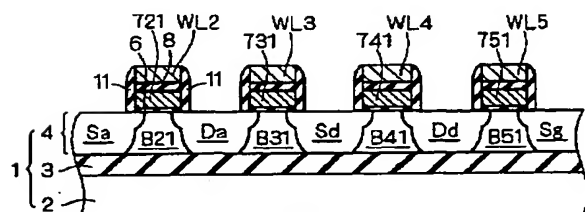


【図 6】



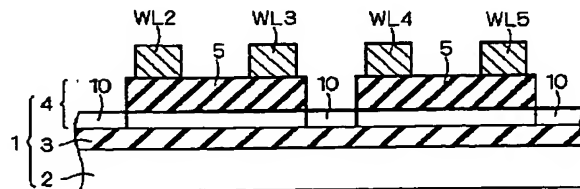
10 : 不純物導入領域

【図 7】



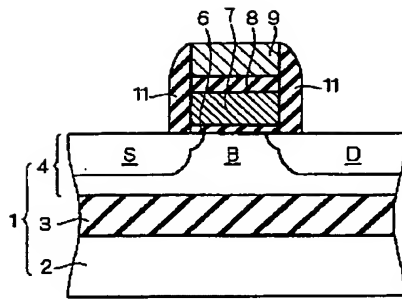
11 : サイドウォール

【図 8】

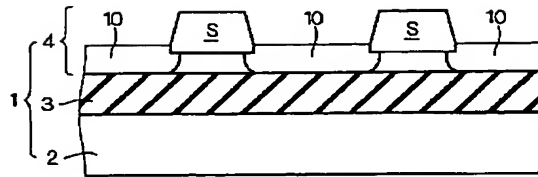


(20)

【図9】

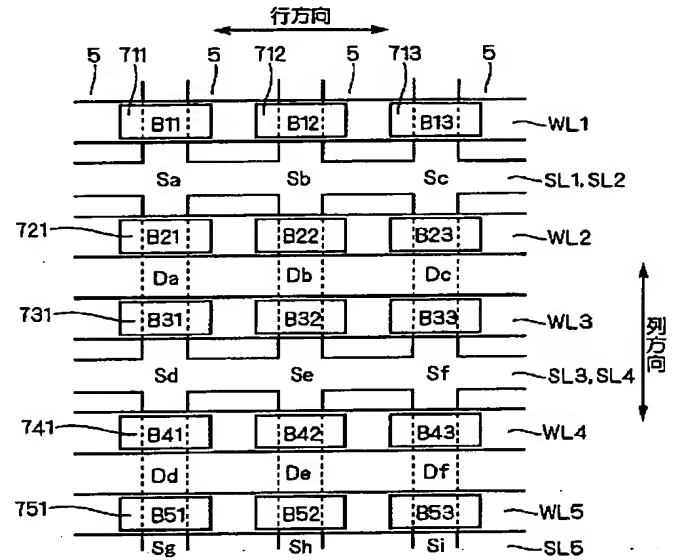
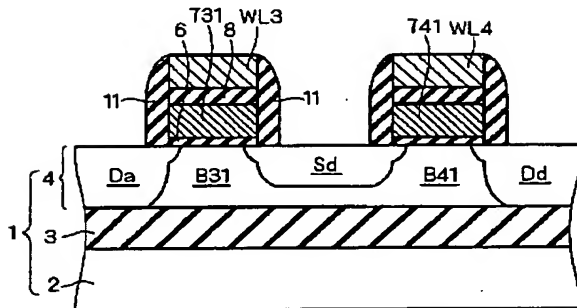


【図10】

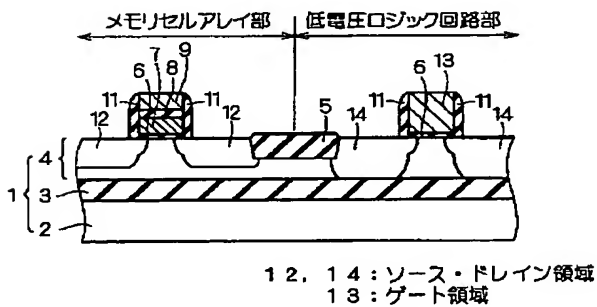


【図12】

【図11】

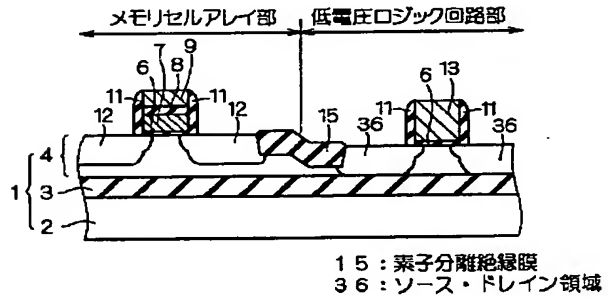


【図13】



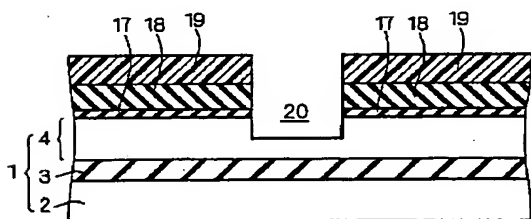
12, 14: ソース・ドレイン領域
13: ゲート領域

【図14】



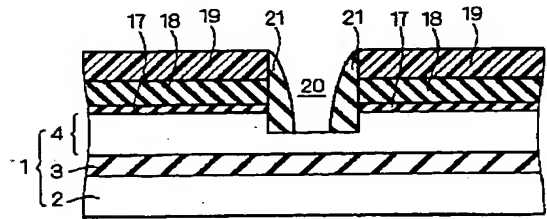
15: 素子分離絶縁膜
36: ソース・ドレイン領域

【図16】



17: 酸化膜 18: 窒化膜 19: フォトリソグ 20: 凹部

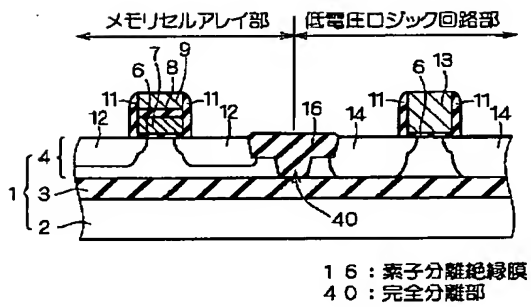
【図17】



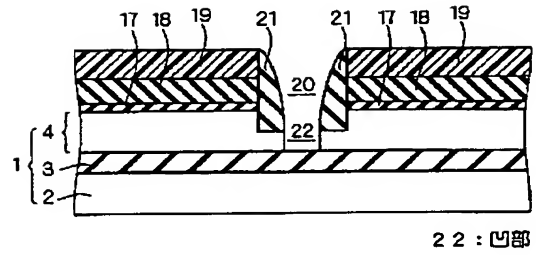
21: サイドウォール

(21)

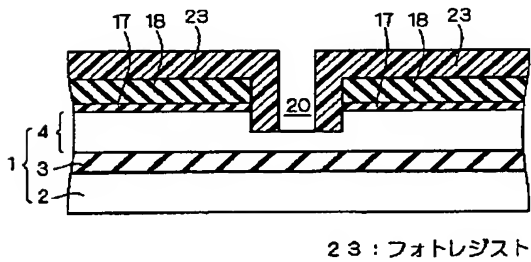
【図15】



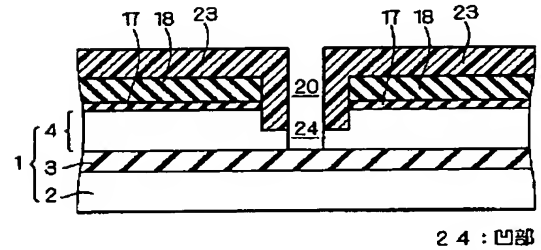
【図18】



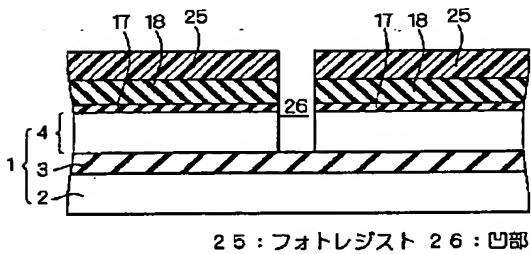
【図20】



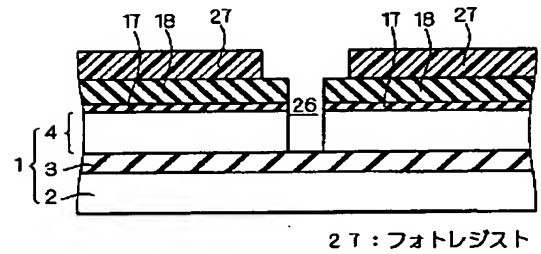
【図21】



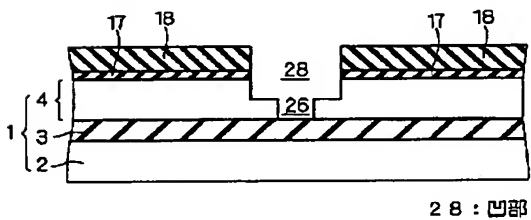
【図22】



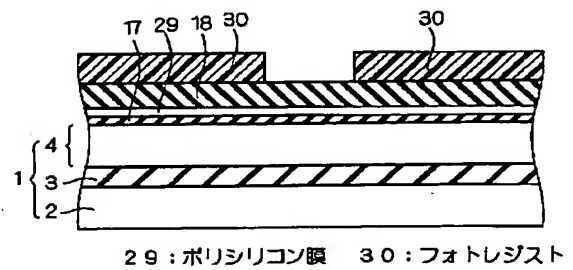
【図23】



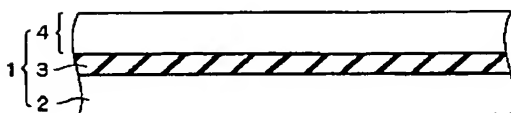
【図24】



【図25】

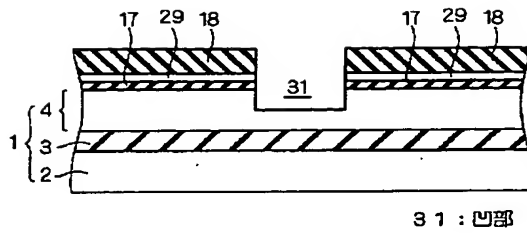


【図31】

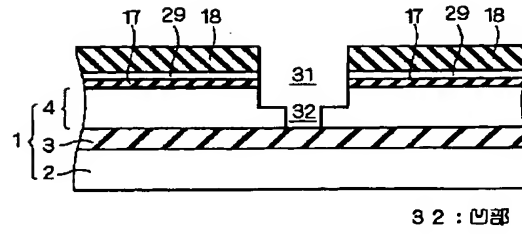


(22)

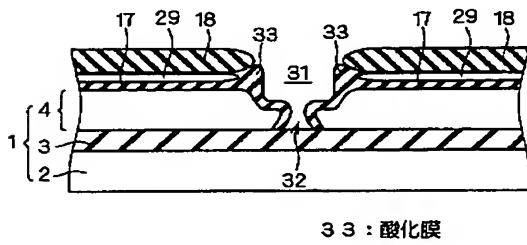
【図26】



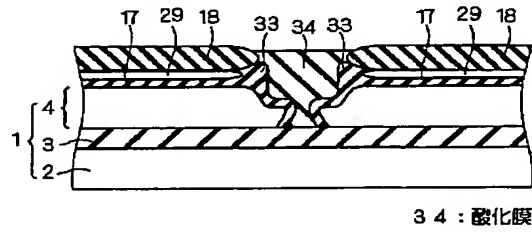
【図27】



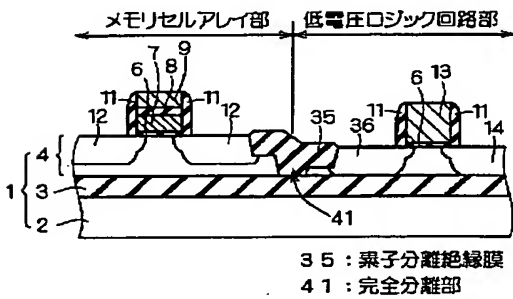
【図28】



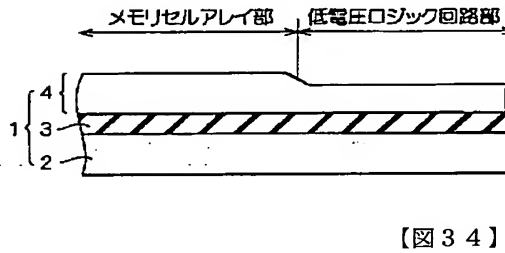
【図29】



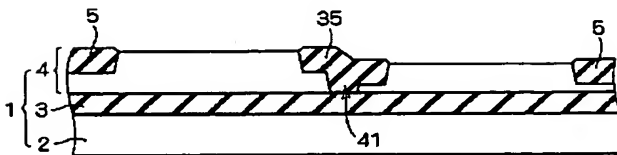
【図30】



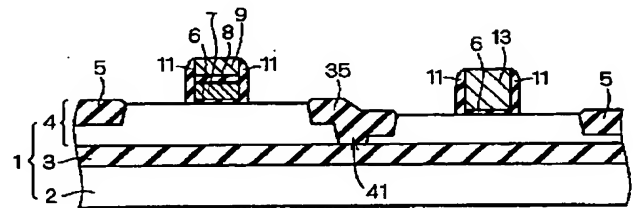
【図32】



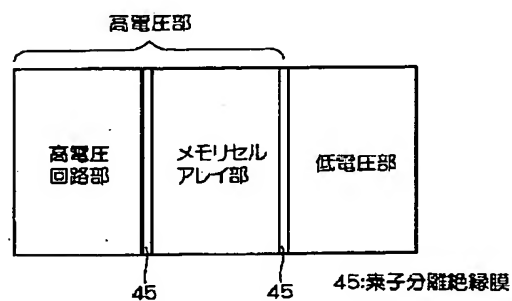
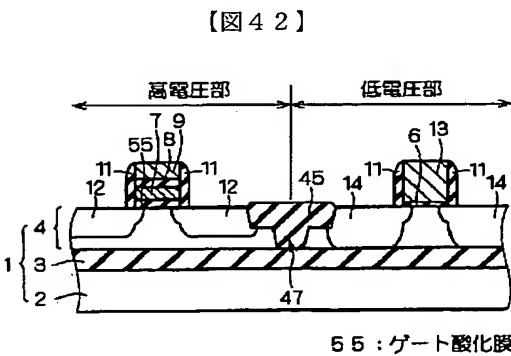
【図33】



【図34】



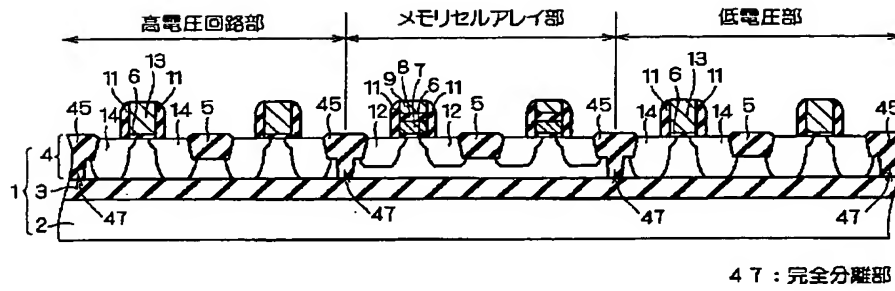
【図35】



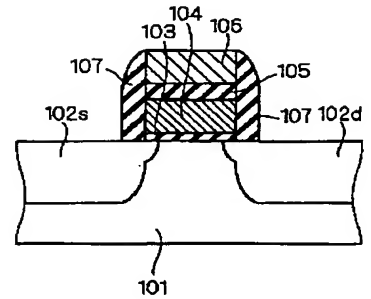
BEST AVAILABLE COPY

(23)

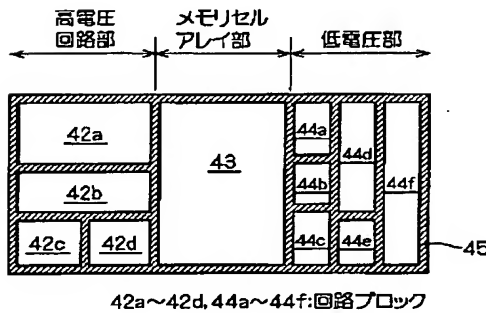
【図36】



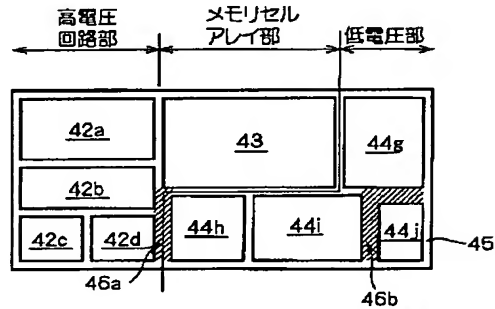
【図46】



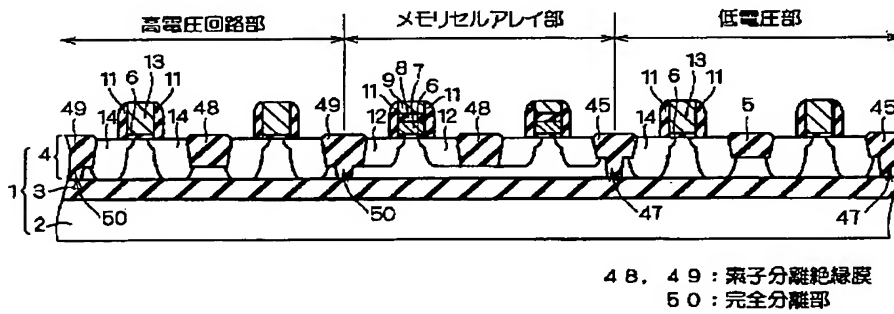
【図37】



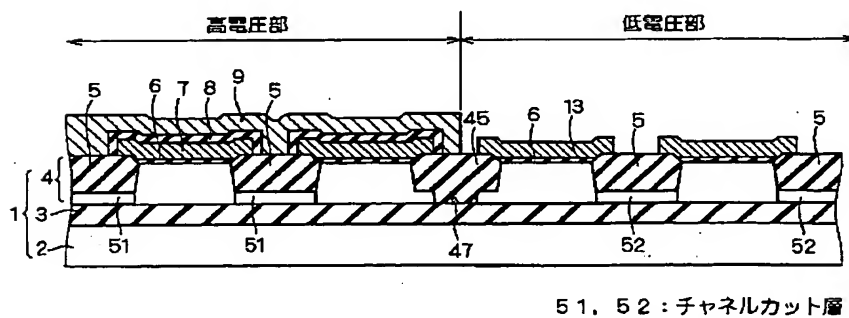
【図38】



【図39】



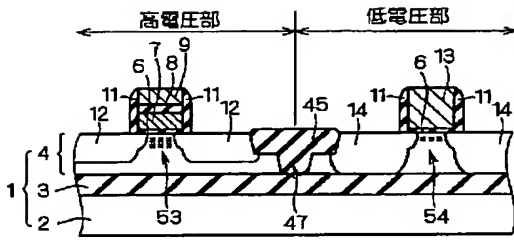
【図40】



BEST AVAILABLE COPY

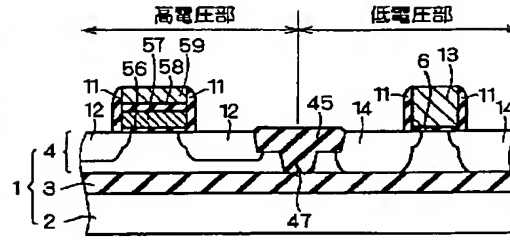
(24)

【図 4 1】



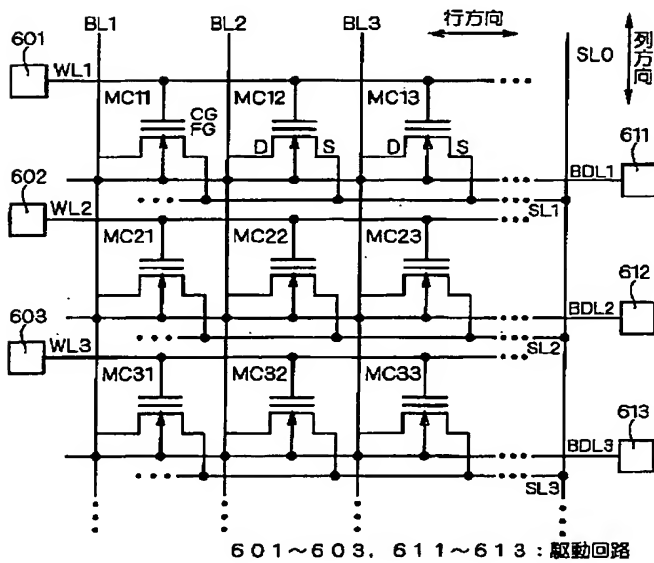
53, 54 : チャネルドープ領域

【図 4 3】

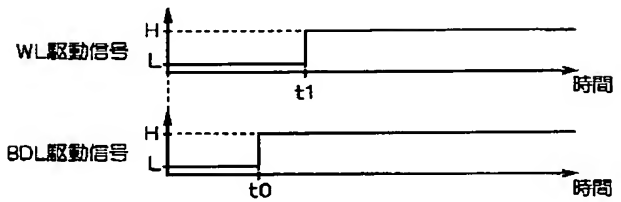


56 : ゲート酸化膜
 57 : フローティングゲート
 58 : 絶縁膜
 59 : コントロールゲート

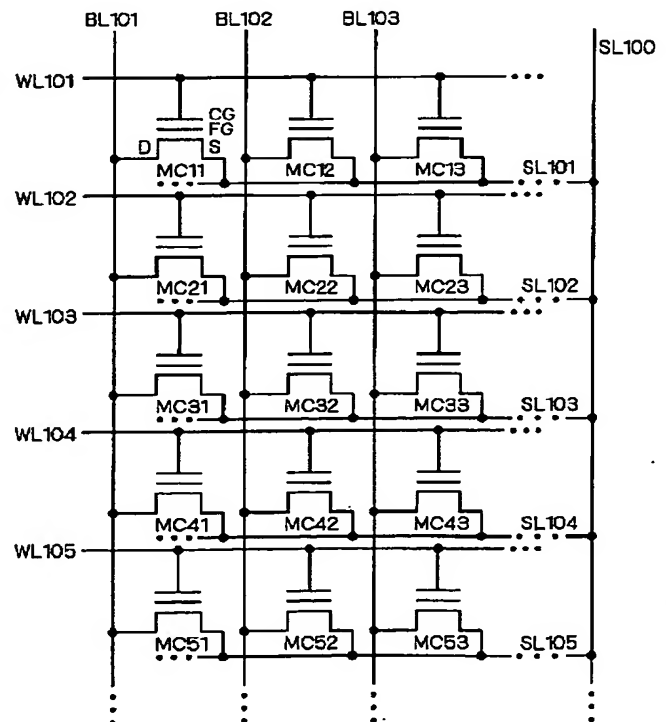
【図 4 4】



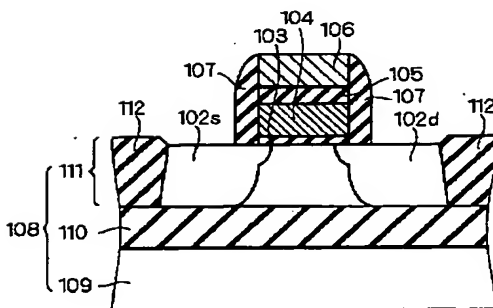
【図 4 5】



【図 4 8】



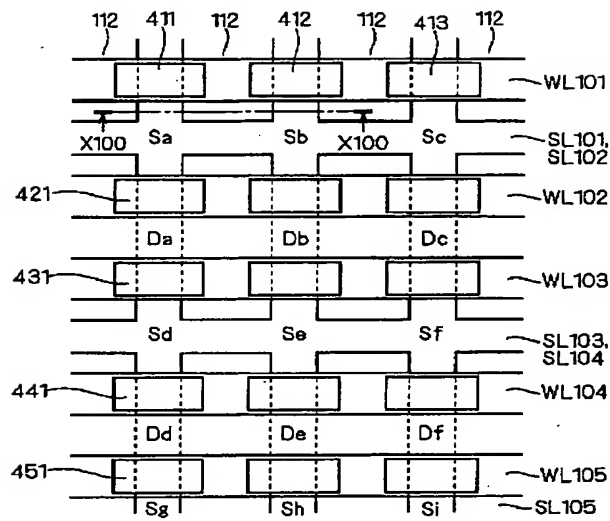
【図 4 7】



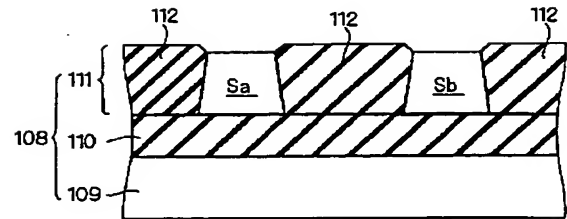
BEST AVAILABLE COPY

(25)

【図 49】



【図 50】



フロントページの続き

(51) Int. Cl. 7

H 0 1 L 27/088

27/08

27/10

29/788

29/792

29/786

21/336

識別記号

3 3 1

4 6 1

4 8 1

4 9 1

F I

H 0 1 L 27/04

27/08

29/78

テマコード (参考)

A

D

1 0 2 B

3 7 1

6 1 3 B

6 1 6 A

6 1 6 T

6 2 1

6 2 6 B

(72) 発明者 松本 拓治

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

BEST AVAILABLE COPY

(26)

Fターム(参考) 5F001 AA01 AB08 AD44 AD60 AD70
AE02 AG40
5F038 BH19 CA02 CA03 CD04 CD19
DF01 DF05 DF08 EZ06 EZ15
EZ20
5F048 AA03 AA04 AA05 AB01 AC01
AC03 BA12 BA16 BC03 BC19
BG05 BG11 BG12 BG13 DA25
5F083 EP02 EP23 EP27 EP62 EP67
EP77 ER02 ER05 ER09 ER22
GA12 GA23 GA24 GA30 HA02
LA12 LA16 LA20 NA01 PR36
ZA02 ZA05 ZA12
5F110 AA13 AA15 AA30 BB08 CC02
DD05 DD13 EE25 EE27 FF02
GG02 GG12 GG24 GG26 GG60
HJ01 HJ04 HJ13 HM02 HM12
HM15 NN62 NN65 NN78 QQ19